

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-124250

(P2003-124250A)

(43) 公開日 平成15年4月25日 (2003. 4. 25)

(51) Int.Cl. ⁷	識別記号	F I	サーチコード(参考)
H 01 L 21/60	3 1 1	H 01 L 21/60	3 1 1 Q 5 F 0 4 4

審査請求 未請求 請求項の数 5 O L (全 38 頁)

(21) 出願番号 特願2002-277425(P2002-277425)

(22) 出願日 平成14年9月24日 (2002. 9. 24)

(31) 優先権主張番号 0 9 / 9 6 2 7 8 3

(32) 優先日 平成13年9月24日 (2001. 9. 24)

(33) 優先権主張国 米国 (U S)

(71) 出願人 00005223
富士通株式会社
神奈川県川崎市中原区小田中4丁目1番
1号

(72) 発明者 クオーチュアン リウ
アメリカ合衆国, カリフォルニア 94539,
フレモント, バエルタ オリボス 1143

(72) 発明者 マイケル ジー, リー
アメリカ合衆国, カリフォルニア 95120,
サンノゼ, セイジ オーク ウエイ 6064

(74) 代理人 100077517
弁理士 石田 敬 (外4名)

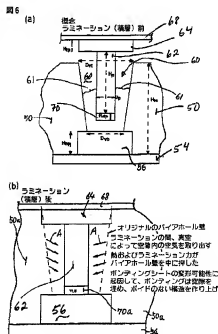
最終頁に続く

(54) 【発明の名称】 接合方法および導電性回路構造

(57) 【要約】

【課題】 導電性領域をもつ回路形成層上に誘電体層（好ましくはボンディングシート）を被着させる段階を含む接合方法を提供する。

【解決手段】 導電性領域上の誘電体層内にアパーチャが形成される。もう1つの回路形成基板上に配置された導電性本体が、該アパーチャ内に挿入される。該導電性本体は主領域（例えば導電性ポスト）および空乏領域（例えば、金属または過渡的液体金属ボンディング材料の薄膜）を含んでなる。該空乏領域は回路形成層上の導電性領域と接触し、これら回路形成層は合わせて積層される。該空乏領域から金属間領域を形成すべく、その組合せに対し熱および圧力を加える。



【特許請求の範囲】

【請求項 1】 導電性領域をもつ回路形成層上に誘電体層を被着する段階と、

前記導電性領域上の前記誘電体層内にアパーチャを形成する段階と、

主領域と空乏領域を含む導電性本体であって該空乏領域がその導電性領域と接触するその導電性本体を、前記アパーチャ内に挿入する段階と、

前記空乏領域から金属間領域を形成する段階と、を含んでなる接合方法。

【請求項 2】 前記空乏領域が錫を含み、前記主領域が銅を含み、前記金属間領域が Cu, Sn を含む請求項 1 に記載の方法。

【請求項 3】 前記回路形成層が第 1 の回路形成層であり、前記導電性本体は第 2 の回路形成層上に配置される請求項 1 に記載の方法。

【請求項 4】 前記アパーチャ内へ前記導電性本体を挿入する前記の挿入段階により、該アパーチャの壁と該導電性本体との間に空隙を生成する請求項 1 に記載の方法。

【請求項 5】 誘電体層および第 1 の導電性領域をもつ第 1 の回路形成層と、

誘電体層および第 2 の導電性領域をもつ第 2 の回路形成層と、

前記第 1 および第 2 の導電性領域の間に配置されたパイア構造と、を含んでなる導電性回路構造であって、該パイア構造が、前記主領域およびその片端のみおよびその側面のまわりに配置される金属間領域からなる導電性回路構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板の接合に関する。より具体的に言うと、本発明は高密度相互接続構造および、変形可能なボンディングシートを利用して基板を合わせて接合またはカップリングさせるための方法を提供する。

【0002】

【従来の技術】特許性調査が行われ、以下の米国特許が発見された。Capote et al に対する米国特許第 5,378,403 号、Pernisi et al に対する米国特許第 5,128,746 号、Hori に対する米国特許第 5,232,532 号、Coques et al に対する米国特許第 5,157,828 号、Yoshida et al に対する米国特許第 5,187,123 号、Pommer に対する米国特許第 5,839,188 号および Schor に対する米国特許第 5,842,273 号である。

【0003】Capote et al に対する米国特許第 5,378,403 号は、ポリマー形成成分に加えて金属およびはんだを含む導電性組成物を開示している。可とう性基板に対しチップをボンディングする上で空隙を除去する

ための技術が記述されている。可とう性パッドまたは板が可とう性基板の下側に連結され、ボンディング中に変形し、硬化および固まる前に空気が液体接着剤から外に流出できるようにする。可とう性基板にチップをボンディングするために用いられる接着剤は、液体またはペースト（ボンディング膜またはボンディングシートではない）であり、その目的は、ボンディング中の気泡の除去である。

【0004】Pernisi et al に対する米国特許第 5,128,746 号は、ポリマー形成組成物を含有するフラックスについて教示している。アビエチン酸、アジピン酸、アスコルビン酸、アクリル酸、クエン酸およびリンゴ酸から成るグループの中から選択された酸といったようなフラックス構成成分が開示されている。

【0005】Hori に対する米国特許第 5,232,532 号は、可とう性基板に対するチップのボンディングにおいて隙間をなくするための技術について記述している。最終目的は、ボンディング中に変形し、硬化および固まる前に液体接着剤から空気が流れ出すことにある。可とう性パッドまたは板を可とう性基板の下側に使用すること

にある。【0006】Coques et al に対する米国特許第 5,127,828 号は、基板と支持体との間の空間に部分真空をつくることができるように、基板と支持体との間に接着剤ループを使用することによって記述している。その目的は、接着剤の均等な絞り出し、ひいては接着剤が硬化された後、基板と支持体との間に均等な間隔を得ることにある。

【0007】Yoshida et al に対する米国特許第 5,187,123 号は、リードフレームに対する半導体デバイスのボンディングにおけるボイドなしの接着剤層について記述している。接着剤塗布の主要エリアは、ダイの裏側である。半導体デバイスとリードフレームとの間にはいかなる金属接続も存在しない。接着剤は、リードフレーム上への半導体デバイスの取付け中のボイドの形成を防ぐため、複数の予め配置されたスポット内で液体またはペースト状に塗布される。

【0008】Pommer に対する米国特許第 5,839,188 号は、2 またはそれ以上の基板間に均等な空隙または分離を提供するための非導電性粒子（すなわち「ゲージ」(gauge) 粒子）の使用および電気的相互接続を形成するための銀ペースト／銅の導電性ペーストの使用について開示している。

【0009】Schor に対する米国特許第 5,842,273 号は、基板間に電気的接続を形成するための導電性接着剤の使用について開示している。接着剤は、導電性粒子、フレークなどと共に熱キュアされたエラストマーである。はんだは全く使用されない。電気的接続は、主として金属接点を通したものである。

【0010】

【特許文献 1】米国特許第 5, 376, 403 号明細書
 【特許文献 2】米国特許第 5, 128, 746 号明細書
 【特許文献 3】米国特許第 5, 232, 532 号明細書
 【特許文献 4】米国特許第 5, 157, 828 号明細書
 【特許文献 5】米国特許第 5, 187, 123 号明細書
 【特許文献 6】米国特許第 5, 839, 188 号明細書
 【特許文献 7】米国特許第 5, 842, 273 号明細書
 【0011】

【発明が解決しようとする課題】上述の従来技術において示されているもののような、フリップチップ対基板の接合のためのアンダーフィルプロセスは、非常に小さな接合エリア（標準的に 2.54 cm × 2.54 cm（1 インチ × 1 インチ）以下のエリア）に制限されている。基板の構築は高価なものである。高密度基板の所要量が増大するにつれて、この需要を満たすため、単純かつ信頼性の高い相互接続プロセスが必要とされる。標準的なはんだ印刷方法については、はんだのパンブサイズに制限があり、歩留りは細いピッチの小さなパンブに対しては低くなる。その上、ジョイントは、マイクロパンブ上では信頼性が比較的低くなる。HDI 基板の寸法に容易に小型化できる信頼性の高い相互接続プロセスを得ることが望ましい。従って、必要とされて発明したのは、挿入構造および過渡的液体合金ボンディングを利用することによる、上述の必要条件を提供できる経済的な方法である。

【0012】

【課題を解決するための手段】本発明者は、基板アセンブリを製造するための方法において、第 1 の実質的に平面な基板上の導電面と、第 2 の実質的に平面な基板上の導電面との間に液体ポリマー材料を送り出す段層を含んでなる方法を提供する。液体ポリマー材料は、好ましくは、第 1 の基板および第 2 の基板の縁部から内向きに配置される。該方法はさらに、液体ポリマーが第 1 の基板および第 2 の基板の縁部に向かって流れるように、第 1 の基板と第 2 の基板との間で液体ポリマー材料をプレスする段層と、液体ポリマー材料を硬化させる段層を含む。第 1 の基板上の導電面は、第 1 の基板と第 2 の基板との間で液体ポリマー材料をプレスした後、第 2 の基板上の導電面と接触した状態に置かれる。本発明の別の実施形態においては、液体ポリマー材料は、第 1 または第 2 の基板上に存在するダムの上に送り出される。好ましくは、基板の少なくとも 1 つは、約 1.5、2.4 cm（6 インチ）× 約 1.5、2.4 cm（8 インチ）の寸法といったような、少なくとも 2.32、2.64 平方 cm（3.6 平方インチ）の平面表面積を有する。

【0013】平面基板の 1 つの導電面は、はんだ材料のフラックス剤を有するかまたは有しないはんだパンブを含む。液体ポリマー材料は、約 1.5 重量%〜約 70 重量%のポリマー樹脂、約 1.5 重量%から約 70 重量%の硬化剤および約 0.10 重量%〜約 20 重量%のポリマー

フラックス剤を含む。ポリマーフラックス剤は、ベータフェニル酸および/またはベータフェニルヒドロキシ酸を含む。ベータフェニル酸は、ベータフェニル酢酸、ベータフェニルアクリル酸、ベータフェニルクロトン酸およびそれらの混合物からなる群から選択される。

【0014】本発明はさらに、約 1.5〜約 70 重量%のポリマー樹脂、約 1.5〜約 70 重量%の硬化剤および約 0.10〜約 20 重量%のフラックス剤を含むポリマー組成物を提供する。本発明はまたさらに下部基板と、この下部基板上に配置されたポリマー組成物と、約 1.5〜70 重量%のポリマー樹脂、約 1.5〜約 70 重量%の硬化剤および約 0.10 重量%〜約 20 重量%のフラックス剤を含む前記ポリマー組成物上に配置された上部基板と、を含んでなる基板アセンブリをも提供する。

【0015】本発明はまたさらに、導電性領域をもつ回路形成層上に誘電体層を被着する段層と、導電性領域全体にわたり誘電体層内にアパーチャを（例えばレーザー穿孔により）形成する段層と、導電性本体を被アパーチャ内に挿入し、かくしてアパーチャの壁と導電性本体との間に空隙を形成する段層とを含んでなる、金属間領域形成方法をも提供している。導電性本体は、主領域および導電性領域と接触する空乏領域を含む。該方法はさらに、空乏領域から金属間領域を形成する段層も含んでなる。金属間領域は、主領域の端部および側面を取り囲んでいる。空乏領域は銅を、主領域は銅を含んでなる。金属間領域は、Cu₃Sn を含む。本発明の好ましい実施形態においては、回路形成層は第 1 の回路形成層であり、導電性本体は第 2 の回路形成層上に配置される。該方法はまたさらに、第 1 の回路形成層と第 2 の回路形成層を合わせて積層する段層を含んでいる。アパーチャの壁と導電性本体との間の空隙には好ましくは、誘電体材料が充填されている。空隙は、誘電体層を積層することによって埋められてよい。

【0016】本発明はまたさらに、誘電体層および第 1 の導電性領域をもつ第 1 の回路形成層と、誘電体層および第 2 の誘電性領域をもつ第 2 の回路形成層と、を含む導電性回路構造をも提供する。第 1 と第 2 の導電性領域との間には、パイア構造が配置されている。パイア構造は、主領域と、該主領域の片端のまわりおよびその側面のまわりに配置される金属間領域とを含んでなる。

【0017】以下に明らかとなるさまざまな補助的な対策および特徴と合わせて、上記の対策は、一例として提供されているにすぎない添付の図面を参考にしてその好ましい実施形態が示されている本発明の接合方法および高密度相互接続構造により達成される。

【0018】

【発明の実施の形態】ここで図面を詳細に参照すると、下部基板 12、上部基板 14 および下部基板 12 と上部基板 14 との間に配置された（例えば液体熱キュア性ポリマーといった）ポリマー 16 が見られる。下部基板 1

5

2と上部基板14は、それぞれに連結された導体パッド18および20を有する。導体パッド18と20とを合わせてカップリングするのを補助するため導体パッド18には、はんだバンプ19がボンディングされている。基板12および14はそれぞれ縁部12aおよび14aを有し、可とう性基板、剛性基板、回路形成された基板、剛性ウェハ、PCBまたは積層回路板といった回路板などの中から選択された適切なあらゆる基板（例えば半導体または導体基板）であり得る。基板12および/または14は好ましくは、それらが約15.24cm（8インチ）（またはそれ以上）から約15.24cm（8インチ）（またはそれ以上）までの寸法を有する場合といたように、約23.2、2.6平方センチ（3.6平方インチ）以上の平坦な表面積をもつ大きな基板である。

【0019】液体ポリマー16は、図3に最も良く示されているように下部基板12により全て支持されている複数のダイ（die）24によってとり囲まれた中央ダイ24aの上でかつ下部基板12上に同心状に送り出すことができる。上部基板14が下向きに下降させられると、液体ポリマー16は圧縮され、下部基板12と上部基板14のそれぞれの周縁部12aおよび14aに向かつて外向きに絞り出し状態で流れる。本発明のもう1つの実施形態においては液体ポリマー16は、図4を見れば最も良くわかるように、複数のダイ24の各々の上に積重ねられている。上部基板14が下向きに下降させられると、それぞれに配置されたポリマー18は圧縮され、それぞれ下部および上部基板12および14のそれぞれの周縁部12aおよび14aに向かって再び外向きに絞り流される。

【0020】従って、図1に描かれているように再現すると、測定された量の液体ポリマー16は下部基板12上に特定された場所（単独）に送り出される。上部基板14は、下部基板12上に下降させられその間、退出されたポリマー16と接触し、絞り流しによってそれを強制的に外向きに移動させる。基板接合が完了した時点で（すなわち、導体パッド18および20が、図2に示されるようにはんだバンプ19をリフローさせるため接触状態にあるとき、接合されたアセンブリ10は、当業者にとっては周知の加熱サイクルを通して、導電性ジョイント31を形成し（すなわち、はんだバンプ19の助けを借りた導体パッド18および20の接合）、ポリマー16をキュアさせる。図3に示されているように、キュア後のポリマー16は、接合されたアセンブリ10の一部である。

【0021】本発明のポリマー16は、基板表面上の導電性ジョイントおよび回路用の半密閉シールを提供する。ポリマー16は同様に、動作中の応力除去を提供する。温度変動は、基板アセンブリ内の構成要素間における熱膨張率の不整合による応力を生じさせる可能性が

6

ある。ポリマー16は同様に、基板回路間の電気信号を隔離するための誘電体層をも構成する。前述のように、ポリマー16は、図3に示されるように、下部基板12の中心領域において送り出すこともできるし、あるいは又、図4に示されるように、各々のダイの中心で個別に送り出すこともできる。基板の中心から送り出される場合、ポリマー16は、1つのフローフロント（flow front）をもって外向きに流れる。複数箇所からの送り出しについては、各々の送り出し場所についてフローフロントが存在し、これが場合によって合流してより少数のフローフロントを形成する可能性もある。フローフロントの合流と接合が通常環境下で行われる場合、気泡が閉じ込められる可能性がある。しかし真空環境下での接合ならば、閉じ込められた気泡を除去することができる。小さな基板に対しては単一箇所からの送り出しが有用であり、一方、非常に大きな面積の基板の接合においては、各ダイ領域全体にわたり、多数箇所からの送り出しの方がより優れた流量制御ができる。

【0022】はんだバンプ19用の適切な材料は、金属、または単相または多相合金でありうる。合金は2成分、3成分またはその他のより高次の組成物でありうる。その例としては、共融Pb/SnおよびIn-Sn、Bi-Sn、In-Ag、Sn-Sb、Au-SnおよびPb-Snからなる合金が含まれる。はんだのさらに特定の例としては、（重量百分率単位で記述した場合）52In/48Sn、58Bi/42Sn、97In/3Ag、In、37Pb/63Sn、96.5Sn/3.5Ag、95Sn/5Sb、80Au/20Sn、および90Pb/10Snが含まれる。はんだ材料には同様に、はんだバンプ19のためのはんだ材料から酸化物を除去するのに適したあらゆる材料（例えばはんだ材料フラックス剤）も含まれていてよい。はんだ材料フラックス剤は有機酸を含むことができ、はんだづけ材料内およびその上の酸化物を除去すべくポリマー16中に含有されたフラックス剤と組み合わせる形で使用可能である。有機酸は、それが比較的高い沸点を有し得ることから好まれる。フラックス剤の例としては、桂皮酸、コハク酸、グルタル酸、アジピン酸、ピメリン酸、スベリン酸、アゼライン酸、セバシン酸、それらの前駆物質および組合せが含まれる。はんだ材料フラックス剤は好ましくは、桂皮酸、アジピン酸または化学的に類似の要領で機能するかまたは化学的に類似の構造をもつ、もう1つの酸のうちの少なくとも1つを含んでなる。さらに、はんだ材料フラックス剤は、はんだバンプ19用のはんだ材料内で、任意の適切な百分率で存在し得るが、好ましくは、はんだ材料の約0.1〜約25重量パーセントで構成し得る。

【0023】はんだ材料フラックス剤は、実質的に不揮発性であってよい（例えば導電性組成物がキュアされるときに実質的な形で沸とうまたは揮発することがな

7

い)。一部の実施形態においては、はんだ-材料フラックス剤は、約100℃またはそれ以上の融点を有することができる。はんだ-材料フラックス剤の沸点または分解点のうちいずれか低い方の温度は、はんだバンプ19用ののはんだ材料内で導電性粒子間に存在する最低融点よりも高い(例えば約10℃よりも高い)ものであり得る。特定のフラックス剤の選択は、はんだバンプ19用ののはんだ材料内で使用される特定の導電性材料によって左右され得る。例えば、はんだ-材料フラックス剤は、約133℃の融点および約300℃の沸点をもつ桂皮酸

であってよい。桂皮酸と共に使用できる適切な導電性粒子としては、約183℃の融点をもつ37Pb/63Snはんだからなる粒子が含まれる。
[0024] 本発明のポリマー16は、好ましくは、金属も、導電性材料もおよびはんだ材料も(すなわち、はんだバンプ19内に含有される材料のうちのいずれも)全く含んでいない。本発明のポリマー16は同様に導電性微粒子を全く含有せず、好ましくはフラックス剤としての能力を有する。かくしてポリマー16はフラックス剤を含有する。ポリマー16は、下部および上部基板12および14を接合させるためならびにポリマー誘電体層を提供するために機能する。ポリマー16はさらに、好ましくはきわめて低レベルのイオン汚染物質を含み、ポリマー16が下部および上部基板12および14の両方の上のフィッチャのまわりを流れることができるように低い粘度(例えば本発明のポリマー温度下でポリマー16が流れる粘度)を有する。ポリマー16は好ましくは、導電性ジョイント31(すなわち導体パッド18および20をカップリングさせるはんだバンプ19)が形成されるまでゲル化せず、後キュア(硬化)の後、ポリマー16は低誘電率、高温性能、基板表面および構成要素に対する優れた接着性および低い水分吸収を示す。

[0025] ポリマー16は好ましくは、金属表面で酸化物を溶解させ、酸化物の溶解により生成された水を除去し、酸化物の溶解からのイオン種を不動態化させ、必要に応じて熱影響係数の修正を可能にする。ポリマー16は、出版社Chapman & Hall, New York, New Yorkが1997年に出版権を取得しているMicroelectronics Packaging Handbook「マイクロエレクトロニクスパッケージング便覧」という題の書籍の中で記述されているように、スクリーン印刷といったような適切な方法により、下部基板12上に配置され得る。ポリマー16は、ポリマー樹脂、キュア剤または硬化剤およびフラックス剤を含む。より特定のには、ポリマー16は約15重量%〜約70重量%のポリマー樹脂、約15重量%〜約70重量%のキュア剤および約0.1重量%〜約20重量%のフラックス剤、より好ましくは約25重量%〜約80重量%のポリマー樹脂、約25%〜約80重量%のキュア剤および約1重量%〜約15重量%の融剤;最も好ましくは約40重量%〜約55重量%のポリマー樹脂、約40

8

重量%〜約55重量%のキュア剤および約4重量%〜約12重量%のフラックス剤で主として構成されるかまたはこれらにより構成されている。ポリマー樹脂は、好ましくは約100℃〜約150℃の範囲内に在るそのキュアまたは固化温度よりも低い温度(例えば約50℃〜約100℃)を有する任意の適切なポリマー樹脂であってよい。好ましくは、ポリマー樹脂は、はんだバンプ19のはんだづけ材料のリフロー温度よりも高いキュア温度(例えば約20℃〜約50℃)を有する。同様にポリマー樹脂は、加熱時点で膨張し、冷却後は少なくとも部分的に膨張した状態にとどまることができる。適切なポリマー樹脂としては、本書に参考としてとり入れている米国特許第5,128,746号の中で教示されているとおり、ビスフェノール-Aおよびエポクロロヒドリンから作られたエポキシ樹脂が含まれる。

[0026] 付加的な適切なポリマー樹脂としては、本書に参考としてとり入れている米国特許第5,579,573号に例示されているように、高ガラス転移の無水物キュアエポキシ組成物といった熱キュア性材料が含まれる。より特定の適切な熱キュア性材料としては、エポキシおよび改質エポキシ、メラミン-ホルムアルデヒド、原ホルムアルデヒド、フェノール樹脂、ポリ(ビス-マレイミド)、アセチレンを末端基とするBPA樹脂、IPNポリマー、トリアジン樹脂およびそれらの混合物からなるグループの中から選択された1つまたは複数の化合物が含まれるが、これらに制限されるわけではない。付加的な適切なポリマー樹脂は、液晶ポリエステル(例えばXydar[®]またはVectra[™])、ポリ(エーテルエーテルケトン)またはポリアリールエーテルケトン)といったような高温熱可塑性材料が含まれていてよい。さらなる付加的な適切な熱可塑性材料には、単なる一例として、ABSを含有する樹脂状材料(ABS/PC、ABS/ポリスルホン、ABS/PVE)、アセタルアクリル樹脂、アルキド、アリルエーテル、セルロースエステル、塩素化ポリアリルキレンエーテル、シアネート、シアナミド、フラン、ポリアリルキレンエーテル、ポリアミド(ナイロン)、ポリアリレンエーテル、ポリブタジエン、ポリカーボネート、ポリスチレン、ポリプロピレン、ポリイミド、ポリフエニレン、ポリフエニレンスルフィド、ポリプロピレン、ポリスチレン、ポリスルホン、ポリウレタン、ポリ酢酸ビニル、ポリ塩化ビニル/塩化ビニリジン、ポリエチレンイミド、ポリエーテルエーテルイミドなどおよび以上のもののいずれかの混合物が含まれる。

[0027] キュア剤または硬化剤は、アミンまたは無水物といったような任意の適切なキュア剤または硬化剤であり得る。ポリマー樹脂およびキュア剤は、適切な硬化剤またはキュア剤とポリスチレン樹脂といったような2液樹脂系であってもよい。例えば、市販されている2液樹脂系はFurane 89303エポキシ、Part AおよびPa

50

rtBである。Furane 89303エポキシ、PartAは、カリフォルニア州サンゼベラスのFurane Products Companyから入手可能なビスフェノールA-エポキシクロヒドリン型エポキシ樹脂である。Furane 89303エポキシ、PartBは、同じくFurane Products Companyから入手可能な無水物キュア剤である。本発明の精神および範囲には、本発明の範囲内で所望の結果を達成する能力をもつその他のタイプの2液樹脂系も含まれるということを理解すべきである。ポリマー18中のフラックス剤は、特にはんだバンプ19のはんだづけ材料中に全くまたは非常にわずかなはんだ材料フラックス剤しか混和されていない場合に特に、はんだづけカプリング作業のための溶融作用を補助する。かくして、ポリマー18中のフラックス剤は、はんだづけ材料中でははんだ材料フラックス剤を使用することに代る代替剤であり得、そうでなければ、はんだ材料フラックス剤と組合わせて使用することもできる。

【0028】ポリマー18内のはんだ材料フラックス剤は好ましくはフェニル酸、より好ましくはベータフェニル酸を含む。ベータフェニル酸は、特にエポキシ樹脂と組合せた状態で、ポリマー18のキュアまたは硬化を減速または遅延させ、より長いゲル時間を導き、ポリマーが初期液体状態からキュアする前にはんだ材料（例えば63Sn/37Pb）が融解することができるようにするということが発見され、ベータフェニル酸のための酸は好ましくは、酢酸、アクリル酸、クロトン酸、カプロン酸、吉草酸、エナント酸、オクチル酸、ペラゴン酸、およびカプリン酸からなる酸グループの中から選択される。より好ましくは、ベータフェニル酸のための酸は、酢酸、アクリル酸、クロトン酸、カプロン酸、吉草酸、およびエナント酸からなる酸グループ、最も好ましくは酢酸、アクリル酸およびクロトン酸からなる酸グループの中から選択される。より長いゲル時間を導くポリマーキュア時間の特に改善された遅延は、フラックス剤がベータフェニルアクリル酸および/またはベータフェニルヒドロキシアクリル酸である場合に得られる。

【0029】ポリマー18は、液体状態で下部基板12上に配置され、上部基板14上の導体パッド18のはんだバンプ19が下部基板12上の導体パッド20とアライメントされた状態にとどまる一方で、上部基板14は下部基板12に向かって移動させられる。液体ポリマー18は圧縮され、はんだバンプ19が導体パッド20と接触した状態となり図2のアセンブリを形成するまで、下部基板12に向かって上部基板14を連続的に移動させることにより、下部および上部基板12および14の間隙部12aおよび14aに向かって外向きに絞り流される。液体ポリマー18は好ましくは、導体パッド18-はんだバンプ19/パッド20の各々を完全に封入する。液体ポリマー18中のフラックス剤は、はんだバンプ19と接触関係にある。図2のアセンブリは、

加熱され、従米の要領で（例えば約200℃〜約240℃の範囲内の温度）リフローされ、液体ポリマー18中のフラックス剤が活性化されはんだバンプ19およびその中の酸化物を低減させるようにし、また導体パッド20に対するはんだバンプ19の合金カプリングを可能にし、ジョイント31を形成する（図2参照）。前述のように、液体ポリマー18中のフラックス剤は、単独で唯一のフラックス剤として（はんだ材料内にフラックス剤は全く存在しない）使用してもよいし、または液体ポリマー18中のフラックス剤をはんだ材料中のはんだ材料フラックス剤と組合せた形で使用することもできる。リフロー手順の間に、液体ポリマー18中のフラックス剤は同様に、特にフラックス剤としてベータフェニルアクリル酸および/またはベータフェニルヒドロキシアクリル酸が利用されるとき、キュアまたは硬化から液体ポリマー18を遅延または減速させる。かくして、液体ポリマー18が完全にキュアまたは硬化されてしまうまでにジョイント31が形成される。ジョイント31が構成された後、液体ポリマー18を完全にキュアさせるために後キュア手順（例えば約100℃〜約180℃の範囲の温度）が必要とされることがある。

【0030】ここで本発明のもう1つの実施形態について図5-6を参照すると、変形可能なボンディングシート50（すなわち誘電体層）および過渡的液体合金ボンディング材料70を使用することによる高密度相互接続方法が広く例示されている。変形可能なボンディングシート50は、ヒルドアップした被着層58を支持する従米の積層基板54全体にわたって又その上にタック積層される。変形可能なボンディングシート50は、過渡的液体合金ボンディング材料70を保持する金属パッド62を収容すべく開放されたバイアホール（via hole）80を有している。図5に最も良く示されているように、導体パッド64は、ポスト62および基板68に接続されている。開放されたホール80の直径および金属ポスト62の直径を制御することにより、図5（6）に示されているようなボイドなしのボンディングシート50aを伴う高密度相互接続構造55を得ることができる。加熱されたとき、ボンディングシート50を構成する材料は流れて、開放されたバイアホール80とポスト62の間のある空隙81を充填する。本発明の相互接続プロセスの実施形態においては変形可能なボンディングシート50が使用されることから、類似の無い層上でのその相互接続プロセスが用いられる。

【0031】過渡的液体合金ボンディング材料70に適した材料は、金属または単相または多相合金でありうる。合金は、二成分、三成分またはその他のより高次の組成であり得る。その例としては、共融Pb/SnおよびIn-Sn、Bi-Sn、In-Sn、In-Ag、Sn-Sb、Au-SnおよびPb-Snからなる合金が含まれる。はんだのさらに特定の例としては、（重量百分率単位

11

で記述した場合) 52In/48Sn, 58Bi/42Sn, 97In/3Ag, 1n, 37Pb/63Sn, 96.5Sn/3.5Ag, 95Sn/5Sb, 80Au/20Sn, および90Pb/10Snが含まれる。適切な材料には同様、材料から酸化物を除去するのに適したあらゆる材料(例えばフラックス剤)も含まれていてよい。フラックス剤は、有機酸を含むことができ、過渡的液体合金ボンディング材料70用の材料内およびその上の酸化物を除去するべくボンディングシート50のポリマー材料中に含有されたあらゆるフラックス剤と組合わせた形で使用可能である。有機酸は、それが比較的高い沸点を有し得ることから好まれる。フラックス剤の例としては、桂皮酸、コハク酸、グルタル酸、アジピン酸、ヒメリン酸、スペリン酸、アゼライン酸、アジピン酸、セパシン酸、それらの前駆物質および組合せが含まれる可能性がある。フラックス剤は好ましくは、桂皮酸、アジピン酸または化学的に類似の要領で機能するかまたは化学的に類似の構造をもつ、もう1つの酸のうちの少なくとも1つを含んでなる。さらに、フラックス剤は、過渡的液体合金ボンディング材料70内で任意の適切な百分率で存在し得るが、好ましくは、材料の約0.1〜約25重量パーセントで構成し得る。

【0032】フラックス剤は、実質的に不揮発性であってよい(例えば導電性組成物がキュアされるときに実質的な形で沸とうまたは揮発することがない)。一部の実施形態においては、フラックス剤は、約100℃またはそれ以上の融点を有することができる。フラックス剤の沸点または分解点のうちいずれか低い方の温度は、過渡的液体合金ボンディング材料70用材料内で導電性要素間に存在する最低融点よりも高い(例えば約10℃よりも高い)ものであり得る。特定のフラックス剤の選択は、過渡的液体合金ボンディング材料70用材料内で使用される特定の導電性材料によって左右され得る。例えば、フラックス剤は、約133℃の融点および約300℃の沸点をもつ桂皮酸であってよい。桂皮酸と共に使用できる適切な導電性過渡的液体合金ボンディング材料70としては、約183℃の融点をもち37Pb/63Snを含む材料が含まれる。

【0033】ここでより具体的に図5(1)を参照すると、積層コアを含む従来のあらゆる基板であり得る基板54が見られる。基板54は、例えばフォトレジストを利用し金属層をエッチングするプロセスといったような任意の従来の層被着ビルドアッププロセスによって被着され得るビルドアップ被着層56を支持する。図5

(2)に示されるように、ボンディングシート50は、ボンディングシート50を基板54およびそれに付随する層56にきちんと接着させるため、層56および基板54上に、かつ、その全体にわたってタックされる。タック積層条件は通常、低温および低積層力において、種々かである。本発明の実施形態のためのボンディングシ-

12

ート50は、高くなった温度および圧力で流れかつ/または変形する能力をもつ任意の適切な変形材料を含むことができる。ボンディングシート50用の変形可能材料は、1つまたは複数の従来の充填材を含むことができる。好ましくは、ボンディングシート50用の変形可能材料は、あたかも以下で直ちに一言一句変えることなく反復されているかのごとく、本書に参考として完全に与えられている米国特許第5,128,748号および5,578,573号の中に列挙された1つまたは複数のポリマー樹脂を内含する上述のポリマー樹脂のうちの単数または複数のものである。好ましくは、ボンディングシート50用の変形可能材料は、約40℃〜約60℃の範囲内の軟化温度および約50℃〜約75℃の範囲内のゲル様かつ/または半流動体化温度をもつポリマー樹脂のうちの1つまたは複数のものである。より好ましくは、ボンディングシート50用の変形可能材料は、約45℃〜約55℃の軟化温度および約55℃〜約70℃の範囲内のゲル様および/または半流動体化温度をもつポリマー樹脂のうちの1つまたは複数のものである。ボンディングシート50用の適切な材料は、MGCからBTF-346の商品名で、また味の素社からABFという商品名で販売されている材料またはポリマーシートが含まれる。BTF-346およびABFはそれぞれ50℃〜60℃および40℃〜50℃前後で軟化し始め、それぞれ65℃〜75℃および50℃〜60℃前後で半流動体化および/またはゲル様形成し始める。

【0034】ボンディングシート50が基板54およびそれに付随する層56上で、かつ、その全体にわたってタック積層された後、ポスト62(例えば銅ポスト62)が増設可能な形で中を通るような開口部を提供するべく、ボンディングシート50内にパイアホール60が形成される。ホール60の形成は、ボンディングシート50を構成する特定の材料タイプに応じてレーザーまたはリソグラフィといったようなあらゆる適切な要領で、またはボンディングシート50上にホール60を開くことができるプラズマエッチングといったような他のあらゆる方法により、達成可能である。その後、図5(4)に示されているように、ポスト62がボンディングシート50内のホール60とアライメントされるような形で、基板54全体にわたって基板68(付随するパッド64およびポスト62を含む)が配置される。このとき、図5(4)のアライメントされたアセンブリは、ポストにより支持された過渡的液体合金ボンディング材料70が、図5(5)に最も良く示されているように、層56と接触するまで基板54および68を互いに向かって圧縮または強制することにより相互係合させらる。基板54および68は、例えばKarl Süss社製のフリップチップボンダーといった適切なアライメント装置によってアライメント可能である。アライメントされた基板54および68はその後、ポスト62が実質的にパイ

13

アホール60内を通り、過渡的液体合金ボンディング材料70がパッドまたは層56に納まるまで、前述のとおりプレスされる。その後、相互係合された基板アセンブリは、空気または窒素環境内でフリップチップボンダーによって加熱される。発明の1実施形態においては、温度は、ボンディング材料70の融点または半流動体化点よりも高いものであり得る。例えば、融解温度は、 S_n については232℃前後、 I_n については157℃、 $S_n - I_n$ 温度合金については(合金組成に応じて)120℃〜232℃の間である。時間は、過渡的液体合金ボンディング材料70の融解相を合金または金属化合物70aへと完全に交換するのに充分な長いものであるべきである(図6(b)参照)。より望ましくは、過渡的液体合金ボンディング材料70は、使用される冶金系に応じて強く信頼性の高い金属相へと完全に交換されるべきである。

【0035】ポスト62が金属化合物70aを通してパッドまたは層56にカップリングされた後、カップリングされた基板アセンブリは次に、高圧処理済みボンディングシート50aを生成すべく、従来の積層プレス機へと移される。従来のプレス機での積層中、真空が空隙(単複)61内のあらゆる空気を取り去る。熱と積層力の組合せは、図6(b)内の矢印Aの方向にバイアホール60の壁の中を移動するかまたは押す。ボンディングシート50の材料の変形可能性または流動性に起因して、ボンディング材料は空隙(単複)61内を満たし、変形されたボンディングシート50a内にボイドの無い*

10

*構造を作り出す。前述のように、ボンディングシート50用の材料は、加熱および圧縮されたときに変形可能であることから、積層プレス機は好ましくは図5(5)の相互係合された基板アセンブリを、約50℃〜約400℃、より好ましくは約120℃〜約350℃までの範囲内の温度まで加熱し、基板54および68を含む相互結合された基板アセンブリ(図6(b)参照)を、基板54および68の各々が、約345kPa(50psi)〜約6900kPa(1000psi)、より好ましくは約1035kPa(150psi)から約2760kPa(400psi)までの範囲の圧力を有するように、互いに向かって圧縮する。

【0036】上述の方法の成功は、図6(a)からの以下の変数の値に左右されるということが発見された:

H_{ts} (1つまたは複数の上面パッド64の高さ)、 H_{ts} (底面パッドまたは被着されたパターン形成層56の高さ)、 H_{ss} (ボンディングシート50の高さ)、 H (ポスト62の高さ)、 H_{ss} (空乏相または過渡的液体ボンディング材料70の高さ)、 D (ポスト62の直径)、 D_{ss} (バイアホール60の底面の直径)および D_{vs} (バイアホール60の上面の直径)。

【0037】下表1は、ボンディングシート50用のF346およびABF材料に基づく変数についての1つの好ましい値を列挙している。

【0038】

【表1】

表1

No.	ボンディングシート	H_{ts}	H_{ss}	H_{ts}	H	H_{ss}	D	D_{ss}	D_{vs}
1	F-346	5 μ m	18 μ m	55 μ m	28 μ m	3 μ m	50 μ m	70 μ m	100 μ m
2	F-346	5 μ m	18 μ m	55 μ m	28 μ m	3 μ m	50 μ m	80 μ m	120 μ m
3	F-346	5 μ m	18 μ m	55 μ m	28 μ m	3 μ m	50 μ m	80 μ m	100 μ m
4	ABF	5 μ m	18 μ m	45 μ m	28 μ m	3 μ m	50 μ m	65 μ m	100 μ m
5	ABF	5 μ m	18 μ m	80 μ m	28 μ m	3 μ m	50 μ m	80 μ m	100 μ m
6	ABF	5 μ m	18 μ m	70 μ m	28 μ m	3 μ m	50 μ m	80 μ m	120 μ m

【0039】このプロセスからのボイドなしのパッケージの成功の鍵の1つは、 H_{ts} 、 H_{ss} 、 H_{ts} 、 H 、 H_{ss} 、 D 、 D_{ss} および D_{vs} についての寸法の組合せである。

【0040】より一般的に言うと、変数 H_{ts} 、 H_{ss} 、 H

、 H_{ss} 、 H_{ss} 、 D 、 D_{ss} および D_{vs} についての値は、下表1に列挙されている範囲内に入る。

【0041】

【表2】

40

表11

変数	広いもの(μm)	好ましいもの(μm)	最適なもの(μm)
H _{1,2}	2-8	3-7	4-6
H _{2,3}	12-24	14-22	16-20
H _{3,4}	40-70	45-65	50-60
H ₄	19-37	22-34	25-31
H _{1,2,3}	0.5-6.0	1-5	2-4
D ₁	35-85	40-60	45-55
D ₂	55-85	60-80	65-75
D _{1,2}	85-115	90-110	95-105

【0042】いずれかのそれぞれの値範囲について、変数のうちのいずれか2つのものの間の適切な比率は、1つの変数の低い方の範囲をもう1つの変数の低い方の範囲で除することによっておよび1つの変数の高い方の範囲をもう1つの変数の高い方の範囲で除することによって見出すことができる。例えば、広い範囲内のD_{1,2}対D₂の比率は好ましくは、約1.5(すなわち85μm/55μm)から約1.3(すなわち約115μm/85μm)の範囲にある。同様にして、単なる一例として、最適範囲内のD_{1,2}対H_{1,2,3}の比率は、好ましくは約32.5(すなわち約65μm/2μm)から約18.8(すなわち約75μm/4μm)の範囲内にある。

【0043】上述のように、ボンディングシート50は、充填材を含んでいてもいい。ボンディングシート50は、リソグラフィのために感光性をもつものでもよく、また、室温で液体であっても固体であってもいい。ボンディングシート50が液体として(例えば液体ポリマー)基板54上に配置されている場合、いかなるバイアホール60も形成される必要はなく、また、ボンディングシート50の積層も全く行われる必要がないということも明白である。ボンディングシート50が液体である場合、図1(a)~(d)の発明の実施形態が適用可能であり、このとき導電性ポスト60(付随する空乏層、過渡的液体合金ボンディング材料70を含む)が導体パッド18に置き換わるかまたはボンディング材料70がはんだバンプ19に置き換わっている。

【0044】ここで図7を参照すると、過渡的液体合金ボンディングを用いた挿入接合プロセスから製造されたHDI基板のSEM横断面マイクログラフが示される。底面基板54は、216μmのピッチで50μmのCuパッド56を伴う0.102cm(40ミル)のアルミナ基板(99.9%)である(直径120μm)。底面基板68は、5μmのCuパッド、15μmのCuポスト62および12μmのSn(すなわち過渡的液体合金ボンディング材料70)を伴う50μmのポリイミド(10μmのDuPont 611)膜である。層間誘電体またはボンディングシート50は、厚み1ミルのDuPont KJ熱可塑性ポリイミドボンディングシートである。75μmのサイズでレーザー穿孔によりバイア開口

60が行われた。Cuポスト62の直径は60μmである。図7は、全ての相互接続が接合された状態で示す。誘電体またはボンディングシート50とCuポスト62の間にボイドは全くない。

【0045】図8は、図7からの単一相互接続の詳細図である。図8は、ジョイントの構造を例示する。金属間相(intermetallic phase)70aは、安定相および高融点相(678°C)のCu₃Snである。このことはすなわち、この系内では、さらなる金属間相変化が全く発生しないことを意味する。図9は、図8に示されているような相互接続の構造の概略図である。図9は、金属間相70aがCuとポリイミドボンディングシート50との間の界面を攻撃しなかったことを実証している。金属間相が連続的に成長してCu/ポリイミド界面を劣化させることになる従来のはんだジョイントとは異なり、この金属間相70aはこれ以上成長することはない。図10は、上面基板68におけるCuポスト62と底面基板54におけるCuパッド56の間の金属間層の厚み測定である。当初のSn(すなわち空乏相または過渡的液体ボンディング材料70)の厚みは12μm前後であったが、最終ジョイントには界面から3~5μmの金属間相70aが存在するだけである。これは、プロセス条件および過渡的液体合金ボンディングプロセスの性質に起因するものである。

【0046】本発明のもう1つの実施形態においては、高密度相互接続プロセスは、予備穿孔されたボンディングシートと過渡的液体合金ボンディングを利用する。穿孔されたホールの直徑、金属ポストの直徑および被着された空乏相の厚みを制御することにより、充填された基本的ボイドなしの相互接続構造を得ることができる。このプロセスでは、無フローボンディングシートが使用されることから、相互接続プロセスのこの実施形態は、細い線やパッドを伴う信号層上で使用することができる。

【0047】ここで図11~12を参照すると、底面基板80(可とう性または剛性基板)に必要な導電性パッド82が被着されたことがわかる。流動不能な誘電体ボンディングシート84が回路上面に載せられ、積層(ラミネーション)プレス内で真空中にプレスされる。積層条

17

件は、ボンディングシート84を基板80上にボンディングさせるのに充分であるもの、完全にキュアされたボンディングを得るのに充分強いものではない。その後、ボンディングシート84は、パッド82との相互接続を得る必要性のある位置で開口部86を生成すべく、レーザーにより穿孔される。

【0048】図11(3)に最も良く示されているように、基板(可とう性基板)88には、メタライゼーション回路を表わす金属パッド90が被着された。パッド90上には、金属パッド92が接続され、その後パッド92の端部に空乏相金属94(例えば材料70)が被着された。レーザー穿孔されたホールの寸法、ポスト直径および空乏相の厚みなどは、表11中の寸法を指針とすることができる。

【0049】図11(2)および11(3)の基板アセンブリは、生成された後、引き続き一体にされてジョイントを形成する。表11の寸法を利用したスクーリング手順を通して、金属ポスト92は、基板80の穿孔されたホール86の中を通過する。その後基板88および80は、クランプ機構により所定の位置に保持され、これらがアライメントを保つことになる。このプロセス(挿入プロセス)の性質に起因して、ポスト92は、アライメント手順の後ホール86の内側に定着される。

【0050】発明のこの実施形態においては、ボンディングシート84は、空乏相(単複)94の融点よりも高いボンディング温度を有する。かくして、アライメントされた基板に対しリフロープロセスを加えることができる。このリフロープロセスを使用することにより、空乏相94は、金属間相94a(図12参照)内に溶解し、底面基板上に金属接点を形成することになる。次に、最終積層プロセスの前に歩留りを確認するため、テストプロセスを付加することができる。歩留りが充分でない場合には、基板88の除去と共に、カブリングされた基板80および88を再生することができる。かくして、このプロセスは再生可能なプロセスである。

【0051】発明のもう1つの実施形態においては、ボンディングシート84は、変形可能なゲル様および/または半流動体化温度が、被着された層またはパッド82に金属パッド92を金属間カブリング温度(例えば150°~250°C)より大きくまたはより高くなるような形で、前述の熱キュア性ポリマー材料または樹脂またはその他のあらゆる材料のうちの1つまたは複数のものから製造される。かくして、金属間カブリングがまず起こり、その後、ボンディングシート84の材料の液体化または半流動体化が続き、次に(必要ならば)、ボンディングシート84の材料温度が適切なキュア温度(例えば100~140°C)まで下降させられる。

【0052】本発明のさらなる実施形態においては、最終積層プロセスの条件は、ボンディングシート84の積層条件および空乏相94の融点によって左右されること

18

になる。ボンディングシート84が熱可塑性ポリミド、例えばDu Pont社によって製造されている熱可塑性ポリミドKJである場合、1380kPa(200psi)で270°~350°Cの間のボンディング温度を有する。この温度は空乏相94の融解温度(例えばSn空乏相については約232°C)よりも高いものであることから、ボンディングシート84のボンディング条件に従ってジョイントを生成することが可能である。過熱の液体合金ボンディングまたは空乏相94は、高い積層温度に対し感応しないことから、ボンディングシート84(例えばDu Pont KJ)の高いボンディング温度は金属相を劣化させない。この高温のため、金属間相94aは、完全にCu₆Sn₅からCu₃Snまで完全に交換され得、これは、この金属/空乏相組合せにとっての1つの利点である。

【0053】発明のさらなる実施形態においては、金属間ジョイントを、空乏相94を融解させるものボンディングシート84は融解させないような低温で製造することができる。プロセス条件を制御することにより、パッド82のベース金属と空乏相94の小さな部分のみが反応させられ、金属間相94aの薄い層を形成することになる。空乏相94の大部分はなおも存続することになる。この場合、基板(例えば基板88)を、歩留りについてテストし、基板を再加熱することで再生することが可能である。歩留りをテストした後、最終プロセス手順としてボンディングシート84を積層するため、積層プロセスに基板80および88を送ることができる。この挿入プロセスの定着性のため(すなわち、金属ポスト92がホール86の内部に収まる)、相互接続のアライメントは、その他の非定着性プロセスほど積層シートに対し敏感でなくなる。以上の金属被着方法の寸法は、従来のリソグラフィプロセスによって制御できない。かくして、金属間ジョイントの寸法は小さくなり得、また金属被着の品質は優れたものとなり得る。金属間相94aは、基板の加工温度よりもはるかに高い融点を有する。それは、従来の低融点にはんだジョイントよりも優れ、かつ、より安定性の高いジョイントを提供することになる。Cuポスト92をとり囲む金属間相94aは、Cuの拡散速度を防ぐかまたは減速させ、Cu移動により引き起こされる細かきピッチのジョイント間の橋かけ(bridge)を生じさせる確率を低くする。

【0054】ここで図13を参照すると、停電の場合に制御された高温/高温環境テストチャンバ内でサンプル102の表面上のウェーハの凝結を防ぐためのデバイス100が示される。腐食またはイオン輸送により誘発される短絡に関する電子部品の作業寿命信頼性を確立する従来の普通の方法は、作業温度よりも高い温度および湿度環境へ部品の代表試験標本を入れることである。大部分のケースにおいて、標本は、同時に電気的バイアスまたは定常状態のいずれかの動作に置かれる。物理的調

査および/または電気的測定により標準劣化を判定することができる。試験用の高い温度/湿度と作業寿命条件の間の劣化加速因子を決定するようなアルゴリズムを確立することが可能である。こうして、100時間未満の試験条件内で、実際の製品の作業条件下でさらに7年のうちに故障モードがどのようになっているかを予想することが可能となる。

【0055】1000時間におよぶ試験では、停電することまではない。制御された試験の停止の場合は、標本（例えば標本102）上に直接またはチャンバの天井から標本上への滴下によって、間接的に凝縮が起きるのを防ぐため、常に温度より前に湿度がオフするように試験が行われる。しかしながら、停電中、温度および湿度が無制御にオフにされると、通常標本102上に水の凝縮が引き起こされる。この凝縮は通常、加速因子についてのアルゴリズムがもはや精度ではなくなるような形で条件を変化させる。

【0056】図13のデバイスは、独立して使用されても、より望ましいモードでは同時に使用されてもよい2重のアプローチを、上述の問題点を解決する目的で、

【0057】第1のアプローチは、チャンバ108内部の薄暗いコーナーに凝縮器104aを含む熱交換器104を有することからなる。この交換器104は、冷却水または気体供給源のいずれかに取り付けられた閉ループからなる。ループの入口は、通常開となっているバルブ108を収納している。電力がオフされたとき、バルブ108は開き、好ましくは冷却したループ凝縮器104a上に湿気を凝縮させてチャンバ108を除湿する。次に、チャンバ108の薄暗い部域内で収集容器110の中に水が収集される。

【0058】第2のアプローチでは、標本102の下に設置され、無停止電源（UPS）による給電を受ける加熱プレート112が利用される。加熱プレート112は、通常閉となっているスイッチ116により、UPSに電気的に接続されている。設備の電力が断となったとき、加熱プレート112はUPSによる給電を受ける。標本（単体）102をチャンバ108の隅の部分よりも数度高く保つためには50〜100ワットしか必要としない。このため、標本102上の凝縮が阻止されることになる。

【0059】図13のデバイスの利点は、それが、標本102上に凝縮が発生した場合に起こりうる、コストの高くつく結果を防ぐという点にある。これは、最高1000時間の試験時間+セットアップ時間の無駄となる。さらに、考えられる高面度かつ/または希少なプロタイプ標本をなくすということも考えられる。

【0060】ここで図14を参照すると、精度に正しい寸法に注入成形される形状適合したヒートシンクを作るために軟質はんだを用いる低コストヒートシンクを生産

するための概略の流れ図が例示されている。MCMの裏面冷却は、フリップチップコンポーネント上での平坦度を欠いているため、高くつく問題である。この平坦度の欠如は、最下位のチップとヒートシンクの間に大きく受入れ難い熱抵抗をひき起こす。以前に特許が付与されている解決法には、平坦度の欠如を克服するスラグとフタの複雑なアセンブリまたはブラジヤ、パネ機構が含まれている。

【0061】ヒートシンク120は、銅ブロック122から作られ、片側にはフィン122a、もう一方の側には台座122bが備わっている。台座122bは、鏡像の形で特定のマルチチップモジュール（MCM）134上のチップ部位と正確に整合し、かくして、ヒートシンク120がMCM134上に設置された場合に、台座122bがXおよびY次元のチップの場所と整合するようにになっている。台座122bはチップ130よりもわずかに小さいものとする（XおよびY方向/次元で250マイクロメートル）。

【0062】ヒートシンク台座122bには、選択的に軟質はんだ126が貼付されるかまたはメッキされる。はんだ126の厚みは好ましくは約250マイクロメートルである。はんだづけされたエリアは、250マイクロメートルのはんだづけされていない縁取りを伴って、台座122bの上部表面122bのみでなくてはならない。各台座122bの上部表面のみを選択的にメッキするために用いられる方法は、ろう、レジストまたはテープであり得る。代替的には（好ましくは）、はんだ126は、その後のリフローを容易にするためはんだ/フラスカースペーストとして送り出されることになる。はんだ合金は、約120°Cの融点を有するべきである。この融点（MP）は、それがMCM134上にありうるあらゆる60/40のはんだのMPよりもかなり低く、しかもチップがその最高接合温度に達した時にこのはんだが融解するほどには低くないことから選択されたものである。正しい特性をもつのはんだ合金の例としては、In/Pb、Bi/Sn、Ga/Pbまたはこれらの金属のその他の組合せが含まれる。

【0063】ヒートシンク120は、組立てられたMCM134と密に接触せられ、はんだ126の融点より40°C高い温度まで加熱される。ヒートシンク120は、それが室温まで冷却する間、MCM134の表面上にとどまることができる。この時点で、はんだ126の各層は、それが触れるチップ130のZ高さ（およびあらゆるピッチ角）に形状適合しており、そのため、ここでヒートシンク120は、MCM134に対して、完璧に整合することになる。しかしながら、はんだ126はチップ130のまわりを流れて、温度サイクルにおける応力をひき起こさない。「背の高い」チップ130と接触しているあらゆる余剰はんだは、台座122bまでそしてそのまわりまで流出することになる。

21

【0064】ひとたび冷却されたならば、ヒートシンク 120 は、MCM134 から除去される。各台座 122 b には、優れた熱接触を確保するために、熱グリスが塗布される。ヒートシンク 120 は次に、MCM134 上の所定の位置に戻って締付けられる。その他の技術に比べたこの技術の利点は、それが低コストであり製造し易いという点にある。これは、MCM134 の裏面での高さまたはピッチ角の変動に関して最高 0.254 cm (10 ミル) まで克服することができる。これは、はん

【0065】ここで、図 15 および 16 を参照すると、マルチチップモジュールといったような電子パッケージングを製造するとき、誘電体 144 (標準的にはポリイミド) により分離された電源層 (V) 140 と接地 (G) 金属層 142 が存在している。高周波パッケージングアプリケーション用の電力分配のインピーダンスを最小にするためには、V および G の金属層 140 および 142 の間の誘電体 144 の厚みを減少させることが必要である。しかしながら、これは、薄いポリイミド層 144 内の粒子 148 およびピンホール 146 における短絡のため、製造上および歩留り上の問題を結果としてもたらす。この問題は、G 金属層 142 の上面にアルミナ層 150 をスパッタリングし、次にバイアメッキに先立ち部分的にエッチングすることにより解決することができる。アルミナ 150 は、ポリイミド誘電体層 144 内のいずれかのピンホール 146 または粒子 148 による短絡を防止する。

【0066】高周波パッケージングアプリケーションにおける電力分配のインピーダンスを低下させるためには、薄い誘電体 (標準的にはポリイミド、PI) 層 144 が必要である。これらの構造の歩留りは、接地および電圧層 142 および 140 の間の薄い PI 層 144 中のピンホール 146 または粒子 148 における短絡によって、制限される。指示されたように、G 金属層 142 の上面にアルミナ層 150 をスパッタリングし、次にバイアメッキに先立ち部分的にエッチングすることにより解決することができる。アルミナ 150 は、ポリイミド誘電体層 144 内のいずれかのピンホール 146 または粒子 148 における短絡を防止する。

【0067】図 16 (1) に最も良く示されているように、アルミナ層 150 は、G 金属層 142 の上面に (CVD、スパッタリングまたはゾルゲルプロセスを用いて) 配置される。その後、フォトレジスト 152 は、パターン化され、アルミナ 150 は、EDTA またはその他の湿式エッチング剤を用いてエッチングされる。構造は、図 16 (1) に、フォトレジスト 152 がなおも所定の場所にある状態で示されている。バイアス 158 の相互接続のために、開口部 156 にメッキが施される。そ

22

の後フォトレジスト 152 は、図 16 (2) に示されているように除去される。ポリイミド誘電体層 144 がコーティングされ、CMP を用いてバイアス 158 を露出するように平坦化される。該構造は図 18 (3) に示されている。その後、図 16 (4) に示されているように、V 金属層 140 が構築される。たとえばピンホール 146 または粒子 148 といったような欠陥が存在する場合でも、短絡は全く発生しない。

【0068】ここで図 17 (5) ~ (9) を参照すると、代格的なプロセスが提案されている。フォトレジスト 152 は、図 17 (5) に示されているように、相互接続バイアス 158 のためにパターン化される。その後、バイアス 158 がメッキにより形成された後、フォトレジスト 152 は除去 (図 17 (8) に示されているように)。アルミナ 150、またはその他のタイプの誘電体材料は、図 17 (7) に示されているように被着せられる。被着プロセスには、CVD、PVD またはゾルゲルプロセスが含まれる。PI 誘電体層 144 をアルミナ 150 上にコーティングし、次に図 17 (8) に示されているように、バイアス 158 を露出するべく平坦化することができる。平坦化およびバイアス露出のためには、CMP が必要とすることがある。その後、図 17 (9) に示されるように、電圧金属層 140 が構築される。PI 誘電体層 144 内にピンホール 146 および粒子 148 が存在した場合でも、G および V 金属層 142 および 140 の間にはいかなる短絡も発生しない。

【0069】ここで高密度スーパーインターポーザを製造するために図 18 および 19 を詳しく参照すると、剛性基板 162 の上面にポリイミドの誘電体層 160 がコーティングされる。基板 162 はその後の脱/基板分離のために前処理することができる。ポリイミド誘電体層 160 の厚みは 3 ~ 20 μm の範囲内にある。薄い金属シード層 164 (例えば Cr/Cu) が次に、ポリイミド誘電体層 160 の上面に被着せられる。図 18 (1) に示されているように、金属シード層 164 の上面には、多層回路 168 が構築される。シード層 164 は、ビルドアッププロセス中にエッチングを受け、後の裏面ポリイミドエッチングのためのストッパー層として使用されるといふ点に留意すべきである。

【0070】このとき、裏回路 (SIP) は、図 18 (2) に示されているように、基板 162 から離脱せられる。図 18 (3) に示されるように、裏側ポリイミド誘電体層 160 は、酸素プラズマを用いてエッチングされる。金属シード層 164 は、プラズマエッチングのためのストッパー層として使用される。そのため、図 18 (4) に示されているような最終的膜構造がシード層 164 の湿式エッチングの後に生成される。

【0071】ここで、改善されたインタポーザ (SIP) 構造およびその製造方法について図 19 (5) ~ (7) を参照すると、プロセス流れ図が示される。新し

23

い構造では、そうでなければ金属パッドのみからなる底面金属層の中に信号ライン（およびその他の機能的フィーチャ）を付加することができる。従って、同数の層について、より機能的な回路を製造することができる。また、より高い密度を達成することができる。同様にして相互接続のためにいかなるはんだマスクも必要でない。さらに、改良型アブレーションは、膜/基板分離の後、より単純なプロセスを有する。

【0072】ポリイミド誘電体層160は、剛性基板162の上面にコーティングされている。基板162は、後の膜/基板分離のために前処理してもよい。ポリイミド誘電体層160の厚みは3〜20μmの範囲内にある。薄い金属シード層164（例えばCr/Cu）は、このとき、ポリイミド誘電体層160の上面に被着せられる。次にシード層164の上面に第1の金属パターン層が被着される。このアプローチでは、シード層164は、第1の金属構造を完成させた直後にエッチングされる。その後、より多くの回路層を、図19（5）に示すように構築することができる。

【0073】次に、図19（6）に示すように基板から回路168が分離される。その後、誘電体層160aおよび開放した相互接続パッド168aおよび168bを生成するためポリイミド誘電体層160を切断するのにレーザーが使用される。このアプローチは、異なる最終構造を備えたより単純な後続プロセスを有する。

【0074】膜/基板分離のために3つのアプローチを使用することができる。第1のアプローチはエッチング（基板）であり、例えば、金属（例えばアルミニウム）を膜/基板分離のためにエッチング除去することができる。第2のアプローチは、剥離であり、例えばビルドアップ前後に基板を処理することにより、膜を基板から剥離することができる。基板の前処理には、基板に対する低い接着力をもつ薄い金またはその他の金属膜の被着が含まれる。回路製造後、膜を剥離することが可能である。製造後の処理には、任意のガラス/PI誘電体界面間の接着力を低減させるための圧力クッキングが含まれる。第3のアプローチは、リフトオフであり、例えば基板上に薄い金属層を被着させ、次にこの薄い金属をエッチングし、その後膜を持ち上げる。

【0075】底面金属層の中に信号ライン（およびその他の機能的フィーチャ）を付加することができる。そうでなければ金属パッドのみからなる。従って、同数の層について、より機能的な回路を製造することができる。また、同じ機能について、必要な金属層の数は少なくなる。従って新しい構造は、潜在的により高い密度を有する。第1（底面）ポリイミド層は、接続のためにはんだづけが用いられる場合、はんだマスクとしても役立つことができる。さまざまな種類の基板を使用することができる。

【0076】ここで図20を参照すると、薄い25〜50

24

0μmの可とう性基板182のレーザーアブレーション中に起こる底面の焼け180を制限するための本発明の1実施形態が示される。これは又、チャック内の真空穴に起因する山と谷の量を制限すべく、可とう性基板上に均等な真空平坦度を与えるためにも使用される。この技術は同様に、底面上またはレーザー穿孔された穴の中へ再被着することのないような形で、レーザー穿孔からの残留物の一部を吸収する一助ともなる。

【0077】可とう性基板182を穿孔する場合、基板182を下に保つために真空が使用される。これは、真空183からの可とう性膜184（好ましくはポリマー膜）内の頂上および谷およびチャック内の真空穴に起因するひずみをひき起こす可能性がある。金属真空チャックは同様に、レーザー穿孔からのエネルギーを吸収しそれを基板182の底面に伝達し戻すこともできる。こうして、レーザー穿孔された穴の底面のまわりに焼けがひき起こされる。穿孔に由来する材料は、発生するはねおきおよび溶解による穴の中およびその周りに再被着することもできる。可とう性膜184下で紙または布186を使用することにより、膜184は、より均等に下に保持され、エネルギーは、可とう性膜184よりもむしろ出口材料へと伝達される。

【0078】レーザーアブレーションの間、可とう性材料184の下に、紙または布186のいずれかを置くこともできる。真空は、紙または布186を押し通して達成されるが、これらの材料により制限される。紙または布は同様に、レーザービームのエネルギーを屈折することなく吸収し、出口穴は、いかなる焼けもなく清潔である（図20（c）および（d）参照）。さまざまなバルスレートで3〜12kHzで、Yag（イットリウム、アルミニウム、ガーネット）レーザーが使用される。ホールの寸法範囲は25〜50μmである。Yagレーザーは同じく、心残り削りまたはらせん穿孔プロセスで類似の周波数を用いて100μm〜200μmのより大きいホールについても使用される。これらの出口材料は、各々個々の標本毎に変更されるべきである。

【0079】アルミニウムまたはステンレス鋼の剛性チャック上で材料を穿孔するのが一般的な手順である。これらのチャックの真空穴の寸法は、直径1ミリメートルという小さいものであり、これらの変動する穴直径は、薄い可とう性ポリマー膜材料184の中でへこみず184aをひき起こす（図20（a）参照）。可とう性基板182を穿孔するとき、仕上がった穿孔ホールの直径を制御するために焦点距離が重要である。10、15および25μmという焦点距離は、ドリル直径と同様穿孔されたホールの形状をも変えることができる。可とう性基板182が平面でない場合には、基板182全体を通して穿孔されたホールのアレイが変動し得る。いかなるひずみもなく均等に真空をひき抜きレーザー穿孔からの焼け効果180aを低減させるため、紙または布18

25

6材料が使用される(図20(c),(d)参照)。この技術は同様にレーザー穿孔からの残留物の一部を吸収する一助ともなり、かくしてそれがレーザー穿孔されたホールの底面上または中に再被着することがないようにしている。

[0080] ここで図2を参照すると、電子パッケージング内の電力分配のインピーダンスを低下させるために、薄い誘電体層を使用できるようにする構造およびプロセスが提案されている。この構造は、ピンホール192a(および粒子)の結果として薄い誘電体層192内

で不可逆的である短絡193を無くすることによってこれらを行う。電力分配のインピーダンスを低下させるこの能力は、高周波パッケージングアプリケーションにおいて重要である。

[0081] 高周波パッケージングアプリケーション内の電力分配のインピーダンスを低下させるためには、薄い誘電体(標準的にはP1)層192が必要である。これらの構造の歩留りは、薄いP1層192内のピンホール192aにおける短絡によって制限される。本発明の実施形態は、薄いP1層192の下側のメタライゼーション層のために陽極酸化可能な金属196を使用することによってこの問題を解決する。P1層192は、誘電体層192内のあらゆるピンホール192aにおいて溶解にさらされるA1を陽極酸化するため、陽極酸化セル内

で適切な電解質に露出される。このとき上面メタライゼーションは、V-G構造を完成させるべくP1層192の上に被着される。陽極酸化金属196は、P1内のあらゆるピンホールにおける短絡を防ぐ。

[0082] マルチチップモジュールといったような電子パッケージングを製造するにあたっては、誘電体(標準的にはポリミド)層192により分離された電源(V)および接地(G)金属層194および190が存在する。高周波パッケージングアプリケーションのための電力分配のインピーダンスを最小にするためには、VおよびG金属層194および190(図21(1)参照)の間の誘電体層(192)の厚みを低減させることが必要である。しかしながら、この結果、薄いポリミド/P1膜192内のピンホール192a(および粒子)における短絡193のために、製造および歩留り上の問題がもたらされる(図21(2)参照)。

[0083] 本発明の実施形態は、短絡193をなくすべく、ポリミド誘電体層192内のピンホールにおける底面材料190の陽極酸化を使用することによって、薄い誘電性膜192についてのこの歩留りの問題をなくすることを提案している。これを行うため、誘電体材料を形成すべく陽極酸化可能な金属が、接地金属190のための底面メタライゼーション層として使用される。この底面金属のための好ましい材料は、A1であるが、これは、A1が陽極酸化可能な高い導電性をもつ金属であるからである。

26

[0084] 次に、薄い誘電性膜192は、底面接地金属190全体にわたり被着される。それが薄いものであるため、図21(3)に示されるようなピンホール192aができる可能性がある。このP1誘電性膜192はこのとき、その中のあらゆるピンホール192aにおいて溶液にさらされたA1を陽極酸化させ(図21(4)参照)陽極酸化物金属196を生成するように、陽極酸化セル内で適切な電解質に露出される。次に、上面電源メタライゼーション194が、V-G構造を完成させるべく、P1誘電性膜192全体にわたり被着させられる(図21(5)参照)。陽極酸化物196は、あらゆるP1ピンホール192aにおいて短絡193を防止する。

[0085] 付加的な陽極酸化可能な金属としては、Ta, Hf, TiおよびZrが含まれ、下部メタライゼーション層190のために使用可能である。しかしながら、それらの抵抗率は高いものであることから、受入れ難いほど高い抵抗が結果としてもたらされる可能性がある。潜在的には、これらの陽極酸化可能な金属のいずれかを、Cuといったようなもう1つの高導電率材料全体にわたり(標準的にはスパッタリングにより)被着させることが可能である。これには、特定の利用分野のために必要な導電率を提供するために必要とされるような厚みまでもCuを薄くしてメッキすることができるといふ利点がある。このとき、Cu上の薄い陽極酸化可能な材料は、上述のように短絡193を防止すべく陽極酸化される。しかしながら、底面金属層190に対するこの2重金属構造は同様に、陽極酸化プロセス中に陽極酸化可能でないCuを露出させる、陽極酸化可能材料を貫通するピンホール192aについての問題が存在する可能性もある。これは、陽極酸化プロセスを不完全なものにする。従って、好ましい構造は、底面金属層190内で1つの陽極酸化可能な金属(好ましくはA1)のみを使用することにあると思われる。

[0086] 図21(1)~(5)の構造は、ポリミド誘電体材料を変えることなく、高周波パッケージングアプリケーションにおける電力分配のインピーダンスを低下させることを可能にする。これは、界面接着性、熱安定性などに伴う潜在的な問題が回避される、という点において1つの利点である。

[0087] ここで図22~31を参照すると、(1)ハイエンドコンピュータのCPU(中央処理装置)の構造；(2)フーターボードとマザーボードに対しMC M(マルチチップモジュール)を接続するための独創的な方法；(3)新規のMCM構造；および(4)MC Mを製造するためのプロセスが示されている。

[0088] コンピュータがマイクロプロセッサチップで構成されているということは周知である。高速コンピュータ(スーパーコンピュータおよびグローバルサーバ)については、通常CPU内に数多くの論理チップが

50

存在する。チップは、互いにおよび電源および接地電圧に接続される必要がある。通常、コンピュータの性能を改善するためにはデカップリングコンデンサが必要とされる。デカップリングコンデンサの場所は、できるだけ論理チップに近いものであるべきである。チップの集積化レベルが高くなるにつれて、チップが上に取付けられるモジュール（単一チップおよびマルチチップ）に対する要求も又大きくなる。

【0089】ここでより具体的に図22～28を参照すると、ハイエンドコンピュータシステム内には、論理およびメモリという2つの主要なグループが存在する。メモリは通常1つの部品上に積重ねられ、一方論理チップはMCM上に取付けられる。図22～23においては、マザーボード200；メモリーボード202；論理チップ用のMCM204；およびMCMのためのドーターボード206が見られる。基本的に、メモリーユニット（例えばメモリーボード202）および論理ユニット（例えばMCM204）は、マザーボード200上に取付けられている。メモリーユニットを取付ける方法は、標準的なものである。論理チップについては、マザーボード200に対するMCM接続を配列するため、以下の4つのケースI、図23のケースII、図24のケースIII、図25のケースIVである。MCMは、垂直方向または水平方向に設置できる。MCMは、直接またはドーターボード206を通してマザーボード200に接続できる。

【0090】図22のケースIにおいては、MCM204は、直接マザーボード200に接続され、信号接続はTF3DCを通してのものである（本書に参考として取り入れている米国特許第4,199,038号に記載されているような、薄膜3次元コネクタ210、図26参照）。電源/接地接続は、MCM204基板自体を通して直接行われる（図27～28参照）。

【0091】図23のケースIIにおいては、MCM204は、2つのドーターボード206-206に接続されている。信号接続はTF3DC210を通してのものである（図26（b）参照）。電源/接地接続は直接MCM204基板自体を通して行われる（図27～28参照）。ドーターボード206-206は、ケースIと同じ配列を用いてマザーボード200に接続される。ドーターボード206-206は、MCM204内で信号接続を配列することができる。ドーターボード206を用いると、マザーボード200の構造はより単純かつコストが安いものになる。

【0092】図24のケースIIIでは、1つの水平なドーターボード206だけが利用される。エリアレイアウト207（例えば、はんだジョイント）を通してマザーボード200にドーターボード206を接続することができる。接続技術がより単純であることから、ケース

IIIの配列よりもエリアレイアウト207の方が好ましい。MCM204内での信号接続は、MCM204の片側を通してしか進めない。ドーターボード206内の信号トレース密度は、ケースIIの構造より高い。

【0093】ケースIIとケースIIIの組合せである図25のケースIVにおいては、3つのドーターボード206-206-206が利用される。各ドーターボード206の構造はより単純なものとなる。同様に、MCM204内の信号相互接続の数は、必要ならばより多いものであっても良い。

【0094】ここで図26を参照すると、前述のように、MCM204とドーターボード206（またはマザーボード200）の間には接続が見られる。信号接続は、TF3DC210を通して行われる。電源/接地接続は、図27～28に示されるように、直接MCM204基板を通して行われる。

【0095】図27は、2つのMCM204a-204bを表す。各MCM部品204aおよび204b上にデカップリングコンデンサ212と2つの論理チップ210が存在する。標準的なケースでは、各々のMCM204上にさらに多くのチップおよびその他の受動部品が存在し得る。

【0096】MCM204の基板は、互いに電氣的に絶縁されるMCM部品204aおよび204bに分離される。基板は、電源および接地接続として使用される。基板（または中央部品の除去後のフレーム）を、電源および接地接続用ボードの中に挿入することができる。基板の中心は、薄膜相互接続層の形成後に除去される（これは、機械的フライス削りとそれに続くA1エッチングによって行うことができる）。従って、チップとコンデンサは、薄膜層の両側に取付けることができる。デカップリングコンデンサ212は、それぞれのコンデンサ212とチップ210間の距離が最小となるようにするため、チップ210の「下」に直接設置できる。薄膜モジュール上には、MCM204からドーターボード206への信号接続用の各TF3DC210専用のエリヤが存在する。信号接続は、制御されたインピーダンスのマイクロストリップまたはストリップラインである。チップ210の冷却は、チップ210の裏面上へのヒートパイプ216または冷却フィンの取付けを通して達成可能である。チップ210は、通常のC4フリップチップアセンブリ技術を用いて薄膜基板に接続される。

【0097】ここで図28を参照すると、チップ210と薄膜モジュール204の間に2つのSIP（スーパーインボザ）220がある。このSIP220は、ファン・アウトのための密な信号トレースを提供することができる。薄膜モジュール204上に3つの信号層が必要とされる場合、モジュール204の歩留まりは低いものであり得る。かくして2つのSIP220（各々1つの信号層をもつ）と1つの薄膜モジュール204（1つの信

29

層をもつ)が必要とされる。各SIP220のための構造および製造プロセスは、薄膜モジュール204のものと同様のものとすることができる。SIP220の「フレーム」は、アセンブリプロセスの後に除去できる。

【0098】各SIP220上には複数のチップ210が存在し得る。SIP220は、まず最初に(C4技術で)薄膜モジュール204に接続されることになり、次にチップ210をSIP220に(C4技術で)接続できる。代替的には、テストのため最初チップ210をSIP220に接続し、次にSIP220とチップ210を薄膜モジュール204に接続することができる。C4は、アセンブリ温度階層の必要条件を満たすべく、異なるPb/Sn組成を有することができる。

【0099】図29〜32は、薄膜MCM204を構築するためのプロセスを示している。各金属層のために、アディティブまたはサブトラクティブプロセスを使用することができる。ここで図29〜30をより具体的に参照すると、アルミニウム金属242(すなわち電源区分)、接地A1金属244(すなわち接地区分)および酸化物区分246(すなわちカップリング区分)を含む基板240が示される。P1誘電体層250が被着され、エッチングされ、バイア252(すなわち、電源導電性バイア252)で満たされる。パターン形成された導電性層254が被着され、その後P1誘電体層259、パターン形成されたP1誘電体層260および導電性バイア256の被着が行われる。パターン形成された信号層262が形成され、その後続いて、P1誘電体層263が選択的に被着される。その後、P1誘電体層264が被着され、パターン形成された導電性信号層266および電源層268が被着される。基板240の一部分は、図30(9)に示されるように全て互いに間隔をおいたA1金属244、酸化物区分246、およびアルミニウム金属242を生成するように、選択的に除去することができる。

【0100】図31は、MCM204基板を作るための要領を例示している。出発基板280は、陽極酸化されたエリア282を有するA1基板であってもよいし、あるいは陽極酸化されたエリアを全く有しないA1基板であってもよい。フレーム280aを生成すべく、基板280内には開口部284が形成される。製造後、陽極酸化を実施することができる。TF3DC210は、MCM204を(マザーボードおよびドーターボードの両方)のボードに、90度の湾曲をもたせて接続する。MCM204のボードへの電源/接地接続は、基板自体を通して

30

行う。こうして、MCM204とマザーボード200の間に90度の配置が可能となる。以上の2つの配置は、3D構造を可能にする。小さなサイズは、より低い信号伝送遅延およびより低い電源電圧降下をもたらすことができる。信号伝達は、制御されたインピーダンスでストリップラインを通して行われる。ドーターボード206の配列は、MCM204周で充分な信号接続を提供することができる。電源/接地経路は、基板のサイズおよび厚みに起因して低い抵抗を有する。チップ210とデカップリングコンデンサ212との間の距離は、最小である。ドーターボード206またはSIP220の使用は、マザーボード200および薄膜モジュールの構造を単純化する。歩留まりは、より高くなり、コストはより低くなる。基板除去のフィーチャは、薄膜モジュール上へのデバイス取付け容量を増加させる。

【0102】ここで図32〜35を参照すると、従来の異方性導電性膜(ACF)プロセスの結果としてもたらされる高接触抵抗を減少させることのできる接続プロセスが例示されている。図32〜35に例示されたプロセスによって生成されるジョイントは、従来のACF物理接触ジョイントよりも高い機械的強度を有し、これがジョイントの信頼性を改善する。

【0103】図32〜33は、ACFジョイントのための従来のプロセスを例示している。最初に、ACFは、2つの基板300と302の間に設けられる。ACFは、標準的には、まずは低温で底面基板302上にタックされ、次に上面基板300上に設けられる。ACFの性質により、ACFをそれぞれの基板にアライメントするために、特殊なアライメント手順は全く必要としない。必要とされる唯一のアライメント手順は、図32に示すように上面および底面基板300および302をアライメントすることである。図32にさらに示されるのは、接着剤304(例えばエポキシ)、導電性粒子306、導電性プレート308および導電性ポスト310である。その後、プレス機内にサンドイッチ構造アセンブリが入れられ、積層される。積層条件は、ACFの仕様、具体的にはエポキシの物性により決定される。積層圧力、温度および持続時間は、この製品の歩留まり、電気的脱取り(抵抗)および信頼性(基板に対するACFの接着性)に影響を及ぼすことになる重要な因子である。最終的なジョイントは、図33に例示されているが、この図は、電気経路がいかにして作り上げられるか、すなわち積層プロセス中のそれぞれの基板のポスト310に対する導電性粒子306の物理的接触による方法を示している。

【0104】図34〜35に表す発明の実施形態においては、金属の薄い層(空乏相: depletion phase)314が、ジョイントが製造されることとなるプレート308およびまたはポスト310の上または被着させられる。被着方法は、真空プロセス例えば蒸発、スパッタリ

50

31

ング、CVDなどまたは湿式化学プロセス例えば電気メッキであってよい。空乏相314のための材料は好ましくは、相314が、基板300および302上のパッド/ポスト308/310およびACF内の導電性粒子306の両方に対する冶金学的反応を受け、かつ、好ましくは相314がACFの積層温度よりも低い融点をもつという条件に基づいて選択される。例えば、標準的なケースでは、30秒間170℃で3450kPa(500psi)というACF積層条件で、それぞれに金属間化合物(intermetallic compound)を形成するように基板上のCuポスト310とACF内のNi粒子の両方を、インジウムと反応させることができる。この材料系においては、170℃(ACFの積層温度)でインジウムが融解し(融点156℃)Cu/InおよびNi/Inの界面でその金属間化合物を形成するので、低い抵抗のジョイントを形成すべく、インジウムを使用することができ、

[0105] ここで図34を参照すると、空乏相314は、ジョイントが作られることになる場所で、ポスト310および/またはプレート308上に被着される。次に、積層プロセスは、圧力および熱の下で行われる。積層プロセス中、空乏相314は融解し、図35に示すように、これらの金属(すなわちポスト310、プレート308および粒子306)が接触する場所を、金属間化合物へと変換させる。

[0106] 従来のACFジョイントにおいては、接着剤304の内部の導電性粒子306と基板300および302上の伝導パッド/ポスト308/310の物理的接触から伝導経路が提供される。その接触抵抗に起因して、このタイプのジョイントの抵抗は高く、近年の高速電子デバイスの必要条件を満たすことができない。接触抵抗を低減させる1つの方法は、その接触抵抗を低減させるため表面の特性を改善すべく例えばNi/Auといった薄い金属層をコーティングすることである。図34〜35においては、粒子306とパッド/ポスト308/310の間に冶金学的ボンディングが形成される。その界面には、物理的な接触のみならず冶金学的反応も存在する。このタイプの冶金学的ボンディングは、物理的接触ジョイントよりもはるかに低い抵抗を提供することになる。

[0107] 低融点材料の大部分は、ACFで使用される導電性材料に比べ軟質であることから、積層条件下で、硬質粒子は融解の前に軟質領域内に浸透する傾向をもつ。この浸透メカニズムは、従来のプロセス(硬質金属と硬質金属との接触)に比べて回路板上のパッドおよび導電性粒子の接触面積を拡大する。これは、従来のプロセスに比べより高いT₀歩留りを得る確率が高い。

[0108] 図34〜35に示す本発明の実施形態の特性すなわち冶金学的ボンディングに起因して、接触ジョイントよりも強い機械的ジョイントが形成されることに

32

なる。巨視的観点からすると、従来のタイプのACFは、ポリマー接着剤(主としてエポキシ)層により保持される構造をもつ。金属部品は単独で、電気伝導経路の機能を提供する。図34〜35の構造においては、構造は接着剤層304および冶金学的ジョイントの両方によって保持され、その結果信頼性は改善される。

[0109] ここで、図36〜41を参照すると、形状適合被覆能力、高い厚み制御精度/厚み、均質特性、低い誘電率、強い接着性、低い吸水性、低いCu拡散、適切なCTE、および回路基板、LSIおよびその他の電子または光学素子のための高品質の誘電性、といったような物性を有する絶縁体のための製造方法が例示されている。

[0110] コンピュータ/通信システムのクロック速度が、さまざまな電子/光学素子内で増大するにつれて、微細パターンおよび低誘電率の絶縁体に対する要求は強くなる。回路基板においては、ポリマー誘電体は標準的にスピンコーティング法によって形成されてきた。しかしながら、微細パターン化のためには、この方法はいくつかの欠点をもつ。例えば、高い精度で形状適合した被覆または均等な厚みを得ることは困難である。蒸着重合(CVD)技術は、ULVACにより回路基板内のポリマー絶縁膜に適用されてきた。形状適合した被覆のためには、この方法は着しく有効であるが、強い接着力と共に精密な厚み制御、低誘電率を実現するには充分なものではない。また、これは、吸水性およびCu拡散の減少に対して、または適切なCTEを調整する上で、著しい効果を全く発揮しない。LSIにおいては、同じ状況がスピンコーティングおよびVDPについてなおも存在している。CVDによる無膜絶縁体については、誘電率の減少は制限される。

[0111] 図36〜41に例示される本発明の実施形態は、ポリマー膜構造およびさまざまなコンポーネント中のポリマー絶縁膜の分子レベル制御を可能にする化学蒸着(CVD)ならびに分子層接着(MLD)を適用することによって、上述の問題に対する解決法を提供する。選択的接着および選択的分子アラインメント技術も同様に用いられる。

[0112] 図36は、ULVACによるVDPの標準的な例を示す。この方法は、CVDの一種とみなすことができる。従って、本発明のこれらの実施形態については、「VDP」の代わりに「CVD」を用いることができる。図36に示されたCVDにおいては、モノマー342および344が使用される。これらのモノマーは、真空チャンバ340内に導入される。基板348の表面上では、2つのモノマー342および344が互いに反応して基板348上にポリマー膜348を生成する。

[0113] 図37〜38は、改善されたMLDプロセスを例示する。このMLDプロセスにおいては、気体としてモノマーが交互に切り換えられる。例えば、図38

50

33

(2)に示されているように、分子344がチャンバ340内に導入されて単分子層を吸着させ、かつ/または基板表面上で反応させる。図38(3)では、未反応の分子344を除去した後、分子342を導入され、結果として分子344上に分子342の単分子層が得られる。図38(4)および(5)では、分子344および342の単分子層の逐次的成長が続く。図37は、それぞれ気体交換タイプおよび基板回転タイプのMLD機器を例示している。

【0114】図39では、蒸気相被着(MLDおよびCVD)対スピノコーティングの比較が示されている。被着速度を除き、蒸気相被着は、スピノコーティングよりも優れている。さらに蒸気相被着は、選択的被着および選択的分子アラインメントという独特の特性をもつ。膜品質(すなわち、化学量論達成(stoichiometry achievement)またはラングリングバンドの削減)に関しては、MLDが最良のプロセスである。MLDおよびCVDの特徴を用いて、回路基板、LSIおよびその他の電子または光学的素子のために、高品質の誘電性膜ができる。

【0115】ここで図40(a)を参照すると、形状適合した被覆特性を用いて、ボイドなしに、Cu347パターン上に絶縁膜360が被着される。CMPにより平坦にされる。次にCVD、MLDまたはスピノコーティングによって膜360上に絶縁膜364が形成される。精確な厚み制御のために、MLDまたはCVDが好ましい。特にLSIにおける極限の厚みおよび膜の品質制御のために、MLDが好ましい。図40(b)においては、Cu347パターン上に、疎水性処理といった従来のフォトリソグラフィ技術により、表面変調370が選択的に適用される。その他の表面を、親水性処理といったものによる変調に適用することもできる。ポリマー膜371(例えばポリイミド)をCVDまたはMLDによって被着される。疎水性処理を付与エリア内では、膜は成長しない。この選択的被着によりCMPなしに平坦化が可能となり、プロセスは単純化される。

【0116】図40(c)では、金属378および絶縁体380を含む層378上に、MLDによりポリマー膜382が被着され、その後、膜384がCVDにより被着され、最後にMLDにより膜388が被着される。MLDの初期段階では、界面における強い接着力のため高重合の分子の少なくとも1つの分子層が使用される。CVDによる中央段階では、誘電率低減のために、低重合の分子が用いられる。さまざまな組成物を用いたCVDによりある程度同じ膜構造を提供できるが、組成制御性は、上述のケースよりも低い。中間段階については、膜形成スピノコートも使用できる。初期段階および最終段階については、高い重合度の分子を使用することが可能である。必要なら、単なる一例としてシランカップリング処理、傾斜被着された薄膜処理、研磨またはアルキルアミンコーティングといったものによる分子付着また

34

は分子方向づけの促進用の表面処理を適用することもできる。図41は、分子の例および基板346上の被着順序の例を示している。

【0117】図40(d)は、分子アラインメント被着の利用分野についての例を示す。表面変調390を含む表面処理により、ポリマー鎖392を特定の方向に方向づけることができる。例えば、ポリアゾメチンの利用分野の場合、ポリマー鎖392に沿った誘電率は、その他の2つの方向の場合よりも高い。従って、鎖を電極空隙方向に対して垂直にアラインメントすることにより、配線ラインに対する有効誘電率を低減させることができる。前述のように、傾斜被着されたSiO₂薄膜または研磨されたポリイミド膜が、表面処理の例である。

【0118】図40(e)においては、選択的アラインメント被着のその他の利用分野が示されている。吸水性およびCu拡散係数は、ポリマー鎖の方向に依って異質性という特徴をもつ。従って、ポリマー鎖の方向を制御することによって、これらの特性を最適化することができる。CTEおよび誘電率調整も同じ技術によって行うことができる。

【0119】膜組成の漸進的変更を実現するためには、MLDでは、以下の方法が有効であることが分かった：すなわち、(a)気体交換MLD(図37(a)参照)については、2つ以上の種類の分子気体に対して、シャッター開放(またはバルブ開放)期間をオーバーラップさせることによるかまたは残存気体の残留時間を増大させることによる；および(b)基板回転タイプのMLD(図37(b))については、2つ以上の種類の気体の回転速度または混合を増大させることによる。これらの方法は同様に、被着速度を増大させる上でも有効である。表面は、プラズマ、スパッタリングまたは化学処理などにより清浄できる。清浄な表面は、Cu原子ボンディング形成といったような表面反応を促進するための一助となり、接着強度を改善する。

【0120】ここで図42〜44を参照すると、はんだレジストを適用できないかまたは製造プロセスにそれを組込むことが困難である場合に、はんだパンプをリフローさせるための経済的なプロセスが例示されている。標準的条件下では、はんだをリフローするには必要である場合、溶解したはんだの流れを閉じ込めるために、パンプなし回路をカバーするはんだレジスト膜がなくてはならない。この実践は、はんだづけプロセスにとって必須であると考えられてきた。標準的なはんだレジスト材料は、低リフロー温度はんだの場合に利用できるエポキシベースのポリマーである。低リフロー温度は、250℃よりも低いリフロー温度を表わす。はんだ材料が高い融解温度を有する一部のケースでは、リフロー温度は、例えば97Pb/3Snのはんだのように、350℃という高いものになり得る。エポキシベースのはんだレジストは、その温度安定性のため、適用できない。高リフロ

35

一温度については、代替的なはんだレジスト材料が必要である。実用上は、ポリミッド膜がこの目的で役立ち得る。しかしながら、異なるタイプのはんだレジスト材料は、追加の処理機器セットと条件づけのための付加的作業努力を要する。また、例えば電気メッキされたはんだパンプといったある種の状況下では、シード層エッチングの前にはんだレジスト材料を適用することはできず、これが電気メッキプロセスの応用に制限を加えており、そうでなければ、はんだレジスト上にシード層を適用するため追加の段階が必要となる。これらの欠点全てにより、いかなるはんだレジストも使用せずにははんだがリフローすることが必要となる。このようにして、はんだづけのプロセス段階を著しく削減することができる。

【0121】図42に例示されているプロセスには、マスキング（図42（1）参照）、電気メッキ（図42（2）参照）、マスク剥離（図42（3）参照）、シード層エッチング（図42（4）参照）、溶解（図42（5）参照）、リフロー（図42（6）参照）そしてフラックス洗浄（図42（7）参照）が含まれる。図42には、以下の要素が見られる：基板400、導体402、マスク404、はんだ406、シード層408、フラックス410、リフローされたはんだ408a、およびフラックス残留物412。

【0122】標準的には、電気メッキされたはんだパンプ408は、図43（a）に示されているような形状に成形される。電気メッキされたパンプ内のきわめて重要な寸法は、以下の如く記述される。最初のものは、パンプの寸法Dであり、これは、それが丸形のパンプである場合直径である。寸法Dは、形状が円でない場合、例えば図43（b）に示されるように八角形である場合に、パンプ408の寸法を規定できるその他の標準的な寸法でありうる。第2のものは、パンプの高さHであり、これは、例えばメッキ電流密度およびメッキ時間といった電気メッキ条件によって制御される。第3のものはピッチPであり、これは2つのパンプ408-406の間の距離を表わし、設計によって決定される。レジストなしリフロープロセスでは、はんだリフローの後には2以上の隣接するパンプ408-402が橋かけしないように、これらの寸法を制御することが必要である。図44（a）、（b）は、リフロー後のはんだパンプ408-406の幾何形状の変化を例示している。リフローされたパンプの高さHは、リフロー前のパンプ高さHよりも大きい。図44（c）は、2つの隣接するはんだパンプまたは多数のはんだパンプの結果得られる可能性のある、橋かけされたパンプ408bの形状を例示している。

【0123】D対HすなわちD：HまたはD／Hの比率が7より大きい場合、ピッチPは、いかなる橋かけパンプも作り出すことなく200μmという小さいものである。この条件は、85％～97％のPb含有量また

36

は15％～30％のSn含有量のように組成が変動する場合に高鉛Sn／Pbはんだにあてはまる。D／H比が7より小さい場合、はんだパンプは橋かけする。共晶Sn／Pbはんだの場合、そのより優れためね性のため、この条件（7より大きいD／H比）は、400μm以上のピッチPにあてはまる。

【0124】ここで図45～46を参照すると、工業上利用分野で必要とされるCuとポリマーとの間の優れた接着性を達成するためのポリマー表面上のCu-直接メッキメタライゼーションプロセスが例示されている。Cu／ポリマー界面の高い接着性の値は、工業仕様を満たすための適切なメタライゼーションプロセスの選択によってきわめて重要である。直接Cuメッキは、誘電体／導体多層構造の製造プロセスのため、電子業界で使用されている。

【0125】プラスチック表面メタライゼーションのために現在応用されている従来のメタライゼーションプロセスとしては、スパッタリング、蒸発、化学蒸着（CVD）、金属膜積層、電解メッキ、非電解メッキおよび直接メッキが含まれる。特定のメタライゼーションプロセスの適用は、特定のポリマー表面、設計構造および製品必要条件によって左右される。真空被着プロセスは、高価な資本設備を必要とし、湿式メタライゼーションプロセスよりも高価である。湿式メタライゼーションプロセス-電解メッキは、スパッタリング、蒸発、化学蒸着（CVD）、非電解メッキまたは直接メッキによってプラスチック上に被着される薄い金属層であるシード層、を必要とする。

【0126】直接メッキは、ポリマー表面に対する被着金属の優れた密着性を提供する化学的に活性な表面を必要とする、低コストのCu被着プロセスの1つである。直接メッキは、密着強度に関し、物理的および化学的な2つの構成要素を生じさせる。密着性に関する物理的構成要素は、界面上に金属成分をインターロックする可能性と、表面トポグラフィと、粗さ（roughness）に関するものである。化学的構成要素は、金属とポリマー表面上の反応基の直接的な化学的相互作用に基づくものである。

【0127】当該技術分野においては、直接メッキされたCuは、エポキシ化合物および／またはPWB（これはガラス繊維で強化されたエポキシである）に対して優れた密着強度をもつということが分かっている。当該技術分野における表面を活性化する一般的な方法は、プラズマ処理を施すことである。ポリマー表面を粗くするプロセスは、表面上に化学的に反応性ある部位または基を生成する。残念なことに、極性基（エポキシ、エポキシ／ガラス組成物など）を伴うポリマー表面に適用可能なこのアプローチは、表面上に十分な極性基をもたない低誘電率のポリマー（ポリエチレンなど）に対しては実施不可能である。

50

37

【0128】図45～48に例示されているプロセスおよび材料は、以上の問題を解消する。比較的不活性のポリマー表面をはるかに化学的活性の高い表面に変換し、被着された金属をこのより化学活性の高い表面と連結させることのできる、特別設計の2面性化学活性リンクが提案されている。この現場表面修正反応は、ポリイミド表面に対する直接メッキされたCuの密着性よりもはるかに高い表面へと著しく増大させるために、非常に効率の良い方法である。

【0129】プロセスの流れは、図45内に概略的に例示される。ポリマー表面は、反応性気体(O₂など)で処理されている。その後、プラズマで活性化された表面は、図46で例示されたオルガノシランカップリング剤クラスから選択されたカップリング剤の有機基の1つと反応させられる。

【0130】ここで図47～49を参照すると、ステンシルを取付けるための再利用可能なフレームアセンブリが示される。ステンシルは、ベースト印刷の分野で用いられる。ステンシルは通常金属フレーム上に糊付けされ、これが今度印刷機フレームに取付けられる。このようにして取付けられたステンシルおよびフレームは再利用不能である。従って、必要とされるのは、ベースト印刷を含む迅速なプロトタイプ作業を大幅に容易にするための単純なステンシル取付け手順を併い、図47に600として全体的に例示されている。再利用可能なステンシルフレームである。

【0131】再利用可能なステンシルフレーム600は、図47に概略的に示されている。ステンシル802は、ステンシルフレーム604の周囲において高タック両面テープ605を用いてそのステンシルフレーム604の片面に取付けられる。2本のステンシルフレームバー806-806が、図47に示されるようにステンシルフレーム604の相対する縁部上に取り付けられる。図48は、取付け順序に沿った分解断面図を示す。ステンシルフレームバー806-806は、水平および垂直平面に対して対称となるように設計されている。ステンシルフレームバー606の片面はステンシルフレーム604にテープで取付けられ、一方反対側の面は、印刷機のフレームに取付けられる。図49は、いずれかの面を印刷機のフレームに取付けることができるようにネジ切りされたネジ穴608を示す。

【0132】再利用可能なステンシルフレーム600は、異なるステンシルタイプおよびフィチャがベースト印刷での使用のために評価されている場合における特に設計段階においてステンシルの取付け作業を単純化する。ステンシルの在庫に必要とされる保管スペースは、該ステンシルフレームバー806-806が取外し可能であって取付けられたステンシル802(すなわちステンシルフレーム604上)の保管スペースをほとんど必要としないことから、大幅に削減される。また、欠陥の

38

あるステンシルをステンシルフレーム604から容易に取外し廃棄することができる。その後他のステンシルを取付けるため、洗浄されたステンシルフレーム604を使用することができる。このアプローチは、異なる材料、寸法およびフィチャをもつステンシルの取付け、使用および保管において融通性をもたせる。

【0133】ここで図50～52を参照すると、2つの基板640および642内でロックしこれらが接合中に移動するのを防ぐための相込み型ピンチアライメントアセンブリを使用することにより、2つの基板640および642の接合を容易にするためのプロセスが概略的に示されている。従来、各基板は積層による接合のためアライメントされ合体せられるが、各基板は、積層プロセス中に移動することがある(図50(a)参照)。従来のビルドアッププロセスによって製造される(例えば図51(a)～(c)および図52(a)～(c)参照)リセス672(図50(c)参照)を伴う厚いパッド670または相込み型の長いピン680(図50(b)参照)を用いることで2つの基板640および642をロックし、それらが移動するのを防ぐため、ピンアライメントアセンブリ650を使用することが提案されている。図51(b)では、図52(b)と同様、フィチャエリアは(例えばテープまたはフォトリソジスト680によって)遮断され、アライメントピン(またはパッド)をフィチャよりも厚くメッキできるようにしている。同様にして、ビルドアッププロセスを用いて、図50(c)における厚いパッド670-670を製造することができる。かくして、2つの基板間での移動の低減/防止は、従来のビルドアッププロセスを用いることによって達成可能である。

【0134】ここで図53を参照すると、はんだを使用せずに基板700および702の複数の層を接合するための方法が例示されている。ピンアレイを有する基板またはその他の誘電体材料であるインタポーザ710が、2つの基板700および702を接合するために使用されることになる。かくして、変動する環境条件下で製品の再加工、さらには場合によって寸法上の融通性をもたらすことになる。該インタポーザ710は、接合すべき2つの基板700および702が合わせてプレスされたときに接着剤がそれらをしっかりと合わせて保持しピンをソケット内にしっかり保つように、その各面に接着剤の層がコーティングされる。このプロセスの顕著な特徴の1つは、基板(ウェハまたは可とう性膜のいずれであれ)700および702内の取付け用穴700aおよび702a(類似ソケット)の設計に見られる。ソケット(単複)が、基板上および基板内に構築されこれが、必要に応じて4、6、または8辺のいずれかの辺上で、ピンを挿えかつ/またはこれに圧力を加える。

【0135】図53では、穴700aおよび702aは、それぞれ基板700および702を通して延びてい

50

る。穴700aおよび702aは、必ずしも基板700および702まで延びる必要はない。ソケットは上面基板700または底面基板702内に存在しているだけでよい。好ましくは穴700aおよび702aは、それぞれ基板700および702全体を通して延び、上面および底面基板700および702の両方の中のソケットは、インタポーザピン720と接続することになる。ソケットのフィンが突出部をメッキするのに使用できる材料は、優れた接続が行われること、そして基板700および702とインタポーザピン720の間に化学的反応がわずかまたは全く生じないということを保証するために、きわめて重要である。パッドおよびピン上のNi/Auは、金属間化合物または酸化が形成される可能性を最小にして、信頼性の高い接続を提供することになる。前述のように、インタポーザ710は、基板700および702が合せて付随するプロセスの使用を無くすることができる。インタポーザ710を用いると、基板間の高さの均等性を可能にし、さらにさまざまな基板の表面高さの不規則性および応力をなくすることもできる。インタポーザピン720は好ましくは金メッキされていることから、現実のまたはシミュレートされた環境条件に起因して基板間には最小限の化学的相互作用しか存在しないことになる。

【0138】多数の基板を接合するためのインタポーザ710の使用は、はんだおよび熱、再加工および清浄といったようなそれに付随するプロセスの使用を無くすることができる。インタポーザ710を用いると、基板間の高さの均等性を可能にし、さらにさまざまな基板の表面高さの不規則性および応力をなくすることもできる。インタポーザピン720は好ましくは金メッキされていることから、現実のまたはシミュレートされた環境条件に起因して基板間には最小限の化学的相互作用しか存在しないことになる。

【0137】また、インタポーザ710は、信号または電源ライン上の雑音を低減させる一助となり得る、各ピン間そしてさらに各コンデンサ間のトレースを含むこともできる。インタポーザ710は、トレース、抵抗器、デカップリングコンデンサそして場合によっては修正された接地面または電源面さえも併用、もう1つの基板層となることもできる。こうしてコンポーネントは、回路ときわめて近接した状態にすることができ、さらに、熱冷却のための「ヒートパイプ」を収納するためにこれを使用することもできる。インタポーザ内の「ヒートパイプ」は、熱を外側縁部に伝達することができる。ここでこの熱は、もう1つのヒートシンクまで伝達される。

【0138】上述のプロセスに対する代替的方法として、インタポーザ710は、基板700および702の表面内または表面上に作り上げられたキャビティ内に引込むことになる。メッキされたNi/Auであるより長いピンまたは銅バンプの代わりに、はんだバンプ、短ピンのアイを有することができる。その後圧力/熱の下で、かつ導電性および/または非導電性接着剤を用いて、2つの表面を接合させることができる。インタポー

ザ710は表面に対し構造的無欠性をさらに与えることができる、また、製品の電気的特性を高めることによるトレース接続、受動素子または埋込み型接地面または電源面をも有することができる。インタポーザ710はまた、上面または底面のいずれの上でもオフセットパッドおよび分離したパターンを許容できる。上面側と底面側の間に相互接続用トレースを備える。特別設計により中央で分割された、インタポーザによって、可とう性基板がねじれても電氣的には依然安定した状態にとどまるようにすることができる。

【0139】以上述べた本発明の実施形態は以下のとおりである。

【0140】【付記1】 導電性領域をもつ回路形成層上に誘電体層を被覆する段階と、前記導電性領域上の前記誘電体層内にアパーチャを形成する段階と、主領域と空乏領域を含む導電性本体であって該空乏領域がその導電性領域と接触するその導電性本体を、前記アパーチャ内に挿入する段階と、前記空乏領域から金属間領域を形成する段階と、を含んでなる接合方法。

【0141】【付記2】 前記空乏領域が銅を含み、前記主領域が銅を含み、前記金属間領域がCu、Snを含む付記1に記載の方法。

【0142】【付記3】 前記回路形成層が第1の回路形成層であり、前記導電性本体は第2の回路形成層上に配置される付記1に記載の方法。

【0143】【付記4】 前記第1の回路形成層と前記第2の回路形成層とを合わせて積層する段階をさらに含んでなる付記3に記載の方法。

【0144】【付記5】 前記金属間領域が前記主領域の片端およびその側面を取り囲む付記1に記載の方法。

【0145】【付記6】 前記アパーチャを形成する段階はレーザー穿孔からなる付記1に記載の方法。

【0146】【付記7】 前記アパーチャ内へ前記導電性本体を挿入する前記の挿入段階により、該アパーチャの壁と該導電性本体との間に空隙を生成する付記1に記載の方法。

【0147】【付記8】 誘電体材料を空隙に充填する段階をさらに含んでなる付記7に記載の方法。

【0148】【付記9】 前記空隙を埋めるべく前記誘電体層を積層する段階をさらに含む付記7に記載の方法。

【0149】【付記10】 誘電体層および第1の導電性領域をもつ第1の回路形成層と、誘電体層および第2の導電性領域をもつ第2の回路形成層と、前記第1および第2の導電性領域の間に配置されたパイア構造と、を含んでなる導電性回路構造であって、該パイア構造が、前記主領域およびその片端のまわりおよびその側面のまわりに配置される金属間領域からなる導電性回路構造。

【0150】本発明の実施形態を実施することにより、基板の接合に対する単純なアプローチが提供される。基

41

板接合に対するフリップチップのための従来のアンダーフィルプロセスは、非常に小さい接合エリア（標準的には $2.54 \text{ cm} \times 2.54 \text{ cm}$ （1 インチ \times 1 インチ）以下のエリア）に制限される。基板ビルドアップは、本発明の実施形態において記述したより単純なアプローチに比べて高価である。類似のまたは異なる基板材料（例えば可とう性基板、剛性ウェハおよび積層回路板）の接合は、実質的なプロセスの修正なく実施可能である。接合プロセスは、基板の引出かつ低コストの接合のために、自動化できる。

【0151】本発明は、本明細書ではその特定の実施形態に関して記述してきたが、上記の開示において修正、さまざまな変更および置換の自由も意図されており、一部のケースでは、本発明のいくつかの特徴は、ここで記述されているような発明の範囲または精神から逸脱することなくその他の特徴の対応する使用なしに利用できるということが分かるだろう。従って、本発明の実施のために考慮されている最良の態様として開示されている特定の形態形態に制限されない本発明の教示に特定の状況または材料を適合させるためにいくつかの修正を行うことが、本発明は特許請求の範囲に入る全ての実施形態およびその均等物を含むことになる。

【図面の簡単な説明】

【図1】(a) および (b) は、隔離された大型基板対を圧縮した液体ポリマーが下部および上部基板の周縁部に向かって流れるようにする（すなわち流れを絞り出す）前の、上部基板と接触した下部基板により支持されている本発明の液体ポリマーを有する一対の隔離された大型基板を示す垂直断面図である。

【図2】基板が接合された後の図1の基板対の垂直断面図である。

【図3】送り出し済みの液体ポリマーが下部基板の中心にあって複数のダイを支持する下部基板の上部平面図である。

【図4】複数のダイおよび各ダイの上に配置された送り出し済み液体ポリマーを支持する下部基板の上部平面図である。

【図5】(1) ~ (6) は過渡的液体合金ボンディングを用いた挿入接合プロセスを利用する高密度相互接続の製造手順を示す図である。

【図6】(a) は積層前の側面立面図であり、(b) は、積層後の側面立面図である。

【図7】過渡的液体合金ボンディングを用いた接合プロセスの挿入により製造されたHDI基板のSEM横断面マイクログラフである。

【図8】図7からの単一相互接続の詳細図である。

【図9】図8の相互接続構造の概略図である。

【図10】上面基板におけるCuポストと底面基板におけるCuパッドとの間の金属間層の概略図である。

【図11】(1)、(2)、(3)は、各金属ポスト上

42

に被着された空乏相を利用した2つの基板を合わせて積層するためのプロセスを例示する図（その1）である。

【図12】(4)、(5)は、各金属ポスト上に被着された空乏相を利用した2つの基板を合わせて積層するためのプロセスを例示する図（その2）である。

【図13】設備の停電中の非飽和の温度/湿度テストチャン室内で標準上の凝縮を予防するためのデバイスの概略図である。

【図14】(1)、(2)、(3)は低コストで形状適合したヒートシンクを製造するためのプロセスを例示する図である。

【図15】薄いポリイミド層内の粒子およびピンホールに起因するGおよびV層間の先行技術における短絡を示す側面立面図である。

【図16】(1) ~ (4)は相互間の短絡を防止しながらGおよびV層を製造するためのプロセスを例示する図（その1）である。

【図17】(5) ~ (9)は相互間の短絡を防止しながらGおよびV層を製造するためのプロセスを例示する図（その2）である。

【図18】(1) ~ (4)はスーパーインターポーザ構造を生成するためのプロセスを例示する図（その1）である。

【図19】(5) ~ (7)はスーパーインターポーザ構造を生成するためのプロセスを例示する図（その2）である。

【図20】(a) ~ (d)は可とう性基板内に貫通ホールをレーザー穿孔する場合の焼けを低減させるための外部材料（例えば紙または布）の使用を例示する図である。

【図21】(1) ~ (5)は誘導体層内の欠陥を孤立させるための手順を例示する図である。

【図22】(a)、(b)は論理MCMおよびメモリースタックを基板にカップリングさせるための複数の手順を例示する図（その1）である。

【図23】(a)、(b)は論理MCMおよびメモリースタックを基板にカップリングさせるための複数の手順を例示する図（その2）である。

【図24】(a)、(b)は論理MCMおよびメモリースタックを基板にカップリングさせるための複数の手順を例示する図（その3）である。

【図25】(a)、(b)は論理MCMおよびメモリースタックを基板にカップリングさせるための複数の手順を例示する図（その4）である。

【図26】(a)、(b)は論理MCMおよびメモリースタックを基板にカップリングさせるための複数の手順を例示する図（その5）である。

【図27】(a)、(b)、(c)は論理MCMおよびメモリースタックを基板にカップリングさせるための複数の手順を例示する図（その6）である。

50

【図28】(a), (b), (c)は論理MCMおよびメモリスタックを基板にカップリングさせるための複数の手順を例示する図(その7)である。

【図29】(1)~(6)は論理MCMおよびメモリスタックを基板にカップリングさせるための複数の手順を例示する図(その8)である。

【図30】(7)~(9)は論理MCMおよびメモリスタックを基板にカップリングさせるための複数の手順を例示する図(その9)である。

【図31】(a), (b), (c)は論理MCMおよびメモリスタックを基板にカップリングさせるための複数の手順を例示する図(その10)である。

【図32】(1), (2)は低抵抗異方性導電性膜の接続プロセスを示す図(その1)である。

【図33】(3), (4)は低抵抗異方性導電性膜の接続プロセスを示す図(その2)である。

【図34】(5), (6)は低抵抗異方性導電性膜の接続プロセスを示す図(その3)である。

【図35】(7), (8)は低抵抗異方性導電性膜の接続プロセスを示す図(その4)である。

【図36】(a), (b)は絶縁膜の複数の製造方法を例示する図(その1)である。

【図37】(a), (b)は絶縁膜の複数の製造方法を例示する図(その2)である。

【図38】(1)~(5)は絶縁膜の複数の製造方法を例示する図(その3)である。

【図39】絶縁膜の複数の製造方法を例示する図(その4)である。

【図40】(a)~(e)は絶縁膜の複数の製造方法を例示する図(その5)である。

【図41】絶縁膜の複数の製造方法を例示する図(その6)である。

【図42】(1)~(7)はマスクなしで電気メッキされたはんだリフローを導通させるためのプロセス段階を示す図(その1)である。

【図43】(a)~(d)はマスクなしで電気メッキされたはんだリフローを導通させるためのプロセス段階を示す図(その2)である。

【図44】(a)~(c)はマスクなしで電気メッキされたはんだリフローを導通させるためのプロセス段階を示す図(その3)である。

【図45】ポリマーのCu-直接メッキのための手順を例示する図(その1)である。

【図46】ポリマーのCu-直接メッキのための手順を例示する図(その2)である。

【図47】再利用可能なステンシルフレームアセンブリを例示する図(その1)である。

【図48】再利用可能なステンシルフレームアセンブリを例示する図(その2)である。

【図49】再利用可能なステンシルフレームアセンブリを例示する図(その3)である。

【図50】(a)~(c)は積層接合中のスリップを防ぐための精密アライメントおよび保持用基板を例示する図(その1)である。

【図51】(a)~(c)は積層接合中のスリップを防ぐための精密アライメントおよび保持用基板を例示する図(その2)である。

【図52】(a)~(c)は積層接合中のスリップを防ぐための精密アライメントおよび保持用基板を例示する図(その3)である。

【図53】(a), (b)は多層はんだなし相互接続を例示する図である。

【符号の説明】

10…アセンブリ

12…下部基板

14…上記基板

16…液体ポリマー

18…導体パッド

19…はんだパンブ

20…導体パッド

30…導電性ジョイント

50…ボンディングシート(誘電体)

55…相互接続構造

60…バイアホール(空隙)

62…金属ポスト

64…導体パッド

84…誘電体

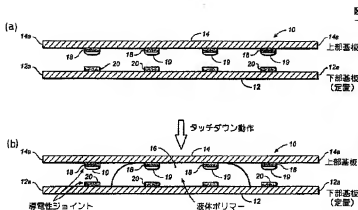
86…バイアホール

90…金属パッド

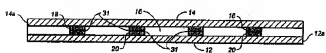
92…金属ポスト

94…空乏相金属

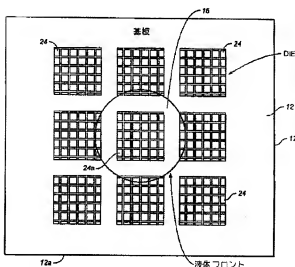
【図1】



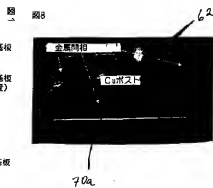
【図2】



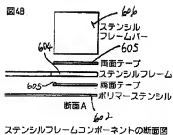
【図3】



【図8】

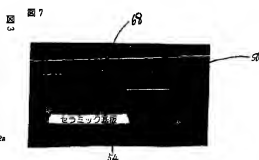


【図48】

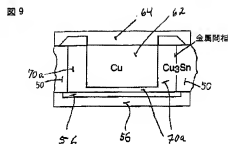


ステンシルフレームコンポーネントの断面図

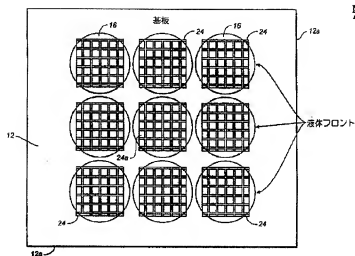
【図7】



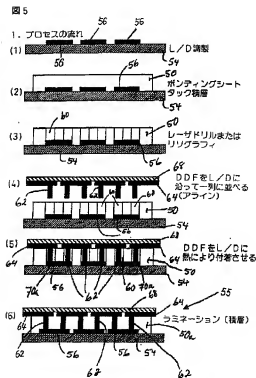
【図9】



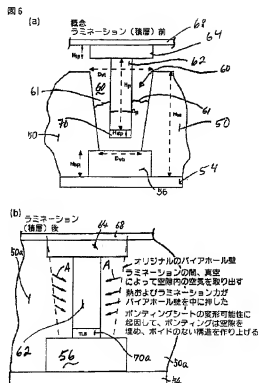
【図4】



【図5】

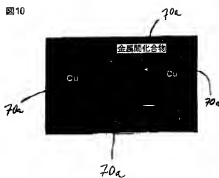


【図6】



【図10】

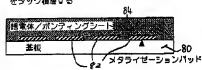
図10



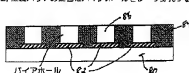
【図11】

図11

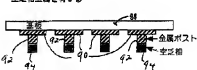
(1) 金属パターンを用いて底面基板上にボンディングシートをタック積層する



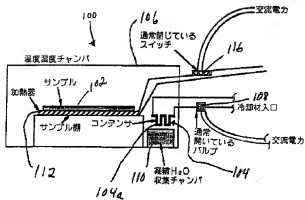
(2) 金属パッドの上面にバイアホールをレーザー穿孔する



(3) 上面基板は、被覆された金属ポストおよび空室相金属を有する

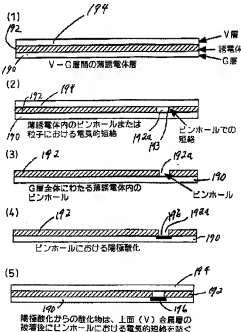


【図13】



【図21】

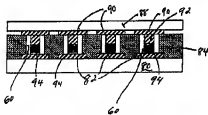
図21



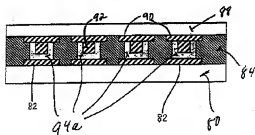
【図 12】

図 12

- (4) 上蓋基板は底面基板上の穴に沿って一列に並べられ（アライン）、圧力、温度下およびある一定の時間で焼成される。ポストはパイナールにより固定させられていることから、アラインメントが接合プロセスによってシフトすることはない。

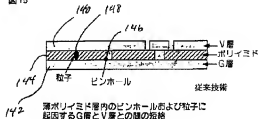


- (5) ボンディングシートおよび通孔の液体合金ジョイントの両方について適切な温度でのラミネーション後、最終的構造は、金属ポストが金属隔壁の内側に到達された状態で、充填されたパイアを有する。



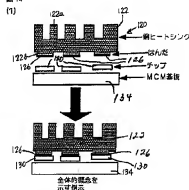
【図 15】

図 15

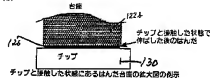


【図 14】

図 14



(2)

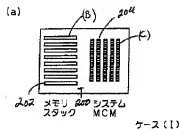


(3)

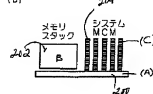


【図 22】

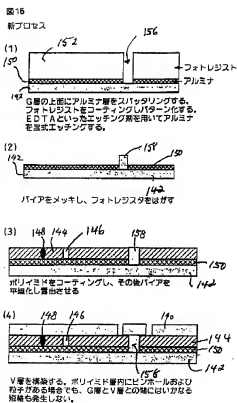
図 22



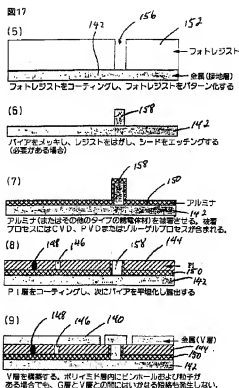
(b)



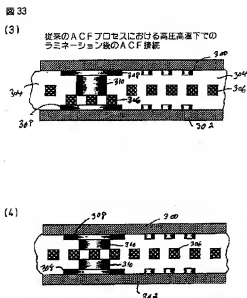
【図16】



【図17】



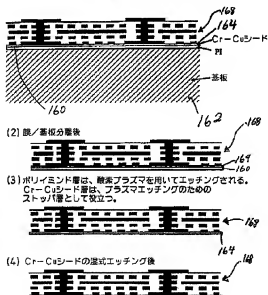
【図33】



【図18】

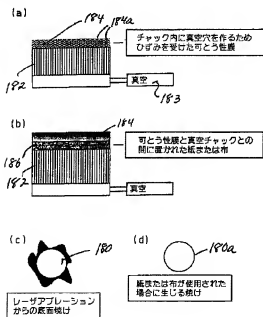
図18

- (1) 基板の上面にポリイミド層をコーティングする。
後に膜/基板を分離するための基盤を前処理することもできる。
Cr-Ceシードをスパッタリングし、多層回路を構築する。
Cr-Ceシード層は、膜/基板分離まで除去されない。



【図20】

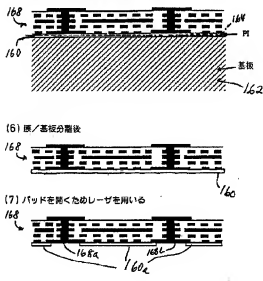
図20



【図19】

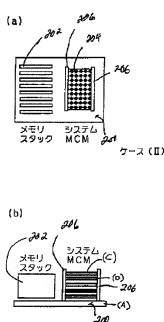
図19

- (5) 基板の上面にポリイミド層をコーティングし、ポリイミドの上面にCr-Ceシードをスパッタリングする。基板は、後の膜/基板分離のために前処理されてもよい。シードは膜/基板分離層を形成させた後エッチングで除去される。次に多層回路が構築される。

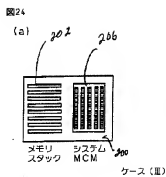


【図23】

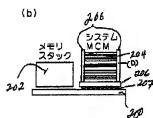
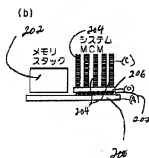
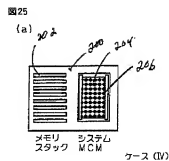
図23



【図24】

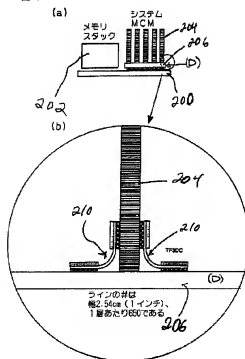


【図25】



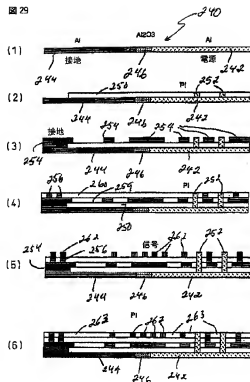
【図26】

図26



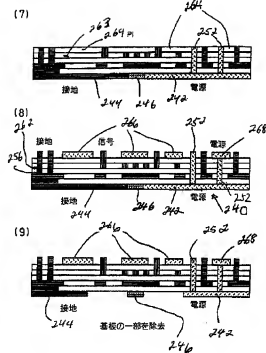
【図29】

図29



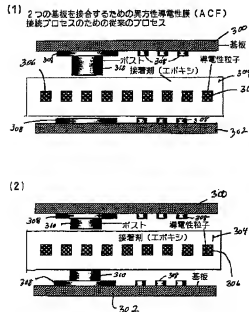
【図30】

図30



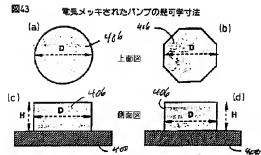
【図32】

図32

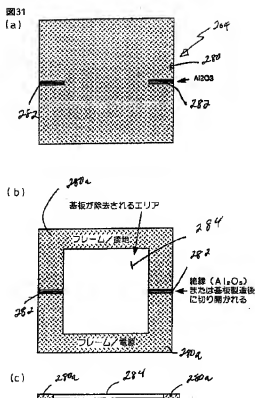


【図43】

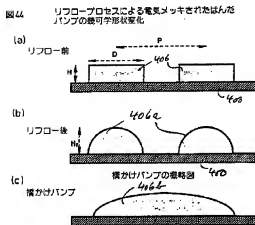
図43



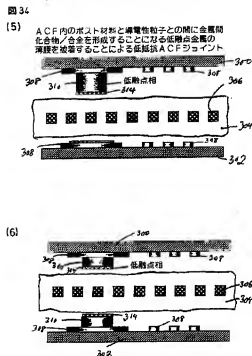
【図31】



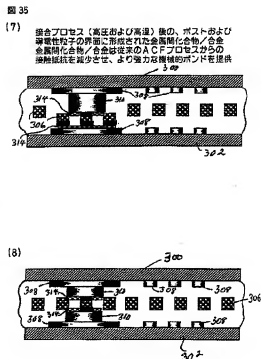
【图 4-4】



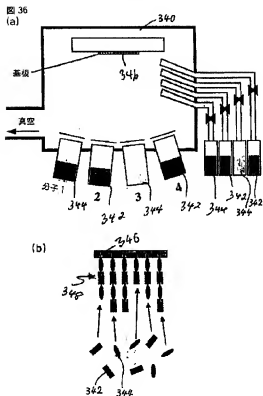
【圖34】



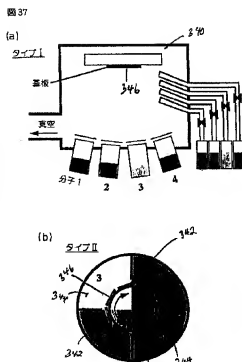
【图 35】



【図36】



【図37】



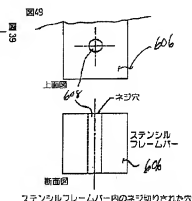
【図39】

	蒸気相法に対するスピニング		
	スピニング	蒸気相法	MLD
-位置制御可能性	低	高	高
-厚み精度/均質性	低	中	高
-成膜速度	高	中	低
-分子レベル制御可能性	低	中	高
-膜質の検査	No	Yes	Yes
-選択的分子アライメント	No	Yes	Yes

(高とYesが好ましい)

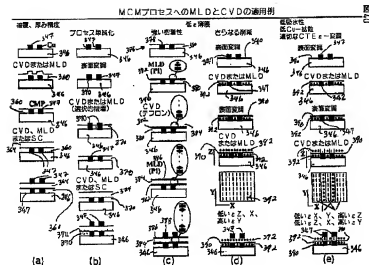
- 形状適合した検査および厚み精度/均質性
 - CVD/MLDはスピニングより優れている
- 強い密着性をもつ低ε絶縁体
 - MLDは分子レベル制御可能性と共に高い密着性を提供できる
- オプション
 - CVD/MLDは、非選択的検査（親水性/疎水性表面）、非選択的分子アライメント（表面処理）を行うことができる
 - さらなるε削減、プロセスの単純化、および低Cu拡散を提供できる

【図49】

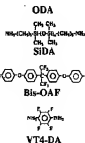
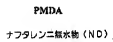


ステンシルフレーム内のネジ切りされた穴

【圖40】



【圖 41】

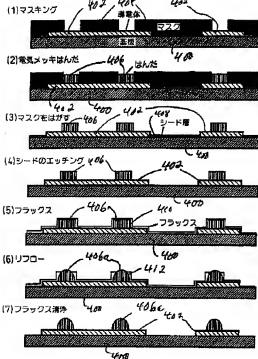
アルキルアミン
コーティングされたSiND \Rightarrow Bis-OAF \Rightarrow ND \Rightarrow Bis-OAF $\Rightarrow \dots \Rightarrow$ ND \Rightarrow SIDA

Si SIDA + 6FDA Bis-OAF + 6FDA SIDA

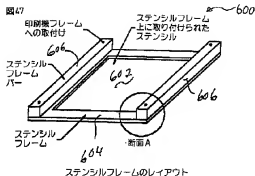
Si | SIDA → ODA → 6FDA → VT4-DA → 6FDA → ... → ODA → SIDA

【図 42】

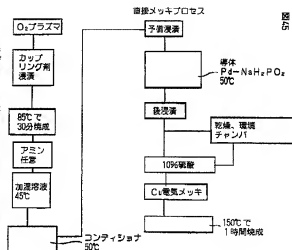
図 42 レジストなしの電気メッキされたはんだのリフロープロセスのプロセスフロー



【図 47】

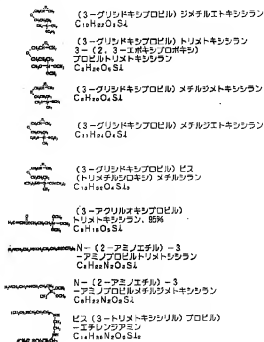


【図 45】



【図 46】

図 46



フロントページの続き

Fターム(参考) 5F044 LL01 LL04 LL11 LL13 QQ02
QQ03 RR17 RR18 RR19